

日本国特許庁
JAPAN PATENT OFFICE

03.12.03

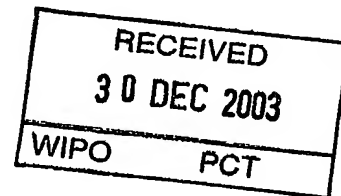
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年3月28日
Date of Application:

出願番号 特願2003-092534
Application Number:
[ST. 10/C]: [JP2003-092534]

出願人 シャープ株式会社
Applicant(s):

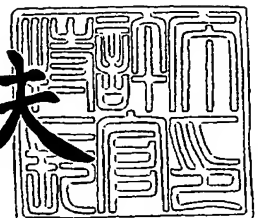


PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年11月20日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 03J00701

【提出日】 平成15年 3月28日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/32
G09G 3/20 624

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 沼尾 孝次

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

電流駆動発光素子と、該電流駆動発光素子の供給電流を制御する駆動用トランジスタとを含む表示装置において、

上記駆動用トランジスタの電流制御端子と電流出力端子との間に接続される第 1 スイッチ用トランジスタと、

上記駆動用トランジスタの電流制御端子と電流入力端子との間に接続される第 1 コンデンサと、

上記駆動用トランジスタの電流制御端子に一方の端子である第 1 端子が接続され、もう一方の端子である第 2 端子は、駆動用トランジスタの電流出力端子との間に第 2 スイッチ用トランジスタを介して接続され、かつ定電圧線との間に第 3 スイッチ用トランジスタを介して接続されている第 2 コンデンサとを備えていることを特徴とする表示装置。

【請求項 2】

上記第 1 コンデンサ、第 2 コンデンサ、第 1 スイッチ用トランジスタ、第 2 スイッチ用トランジスタ、および第 3 スイッチ用トランジスタからなる構成を、画素回路毎またはソースドライバ回路毎に備えていることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

上記第 1 コンデンサ、第 2 コンデンサ、第 1 スイッチ用トランジスタ、第 2 スイッチ用トランジスタ、および第 3 スイッチ用トランジスタからなる構成は、一部が画素回路側、他の一部がソースドライバ回路側に配置されることを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

画素回路側に、電流駆動発光素子、駆動用トランジスタ、および第 1 コンデンサを配置し、

ソースドライバ側に、第 2 コンデンサ、第 1 スイッチ用トランジスタ、第 2 ス

イッチ用トランジスタ、および第3スイッチ用トランジスタを配置すると共に、
上記駆動用トランジスタの電流制御端子と、第2コンデンサの第1端子とを接続する接続配線を備えていることを特徴とする請求項3に記載の表示装置。

【請求項5】

さらに、OFF電位を供給するOFF電位線を備えており、
上記接続配線が、第4スイッチング用トランジスタを介してOFF電位線に接続されていることを特徴とする請求項4に記載の表示装置。

【請求項6】

電流駆動発光素子と、該電流駆動発光素子の供給電流を制御する駆動用トランジスタとを含む表示装置において、

上記駆動用トランジスタの電流制御端子に第1コンデンサ一方の端子である第1端子が接続されており、

上記画素回路の選択期間では、第1のコンデンサの第1端子に第2のコンデンサの一方の端子である第1端子が接続され、

第1の期間において、第2コンデンサの他方端子である第2端子を定電圧線に接続し、上記駆動用トランジスタの電流制御端子と電流出力端子とを接続し、この時の上記駆動用トランジスタの電流制御端子電位を第1のコンデンサに保持し、

、

第2の期間において、上記駆動用トランジスタの電流制御端子と電流出力端子との接続を遮断し、第2コンデンサの第2端子の接続を上記定電圧線との接続から上記駆動用トランジスタの電流出力端子との接続に切り替え、上記駆動用トランジスタの電流制御端子電位を修正し、この時の上記駆動用トランジスタの電流制御端子電位を第1コンデンサおよび第2コンデンサに保持し、

上記画素回路の非選択期間では、

上記第1コンデンサに保持された駆動用トランジスタの電流制御端子電位によって、電流駆動発光素子の非選択期間における供給電流を制御することを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機EL (Electro Luminescence) ディスプレイやFED (Field Emission Display) 等の電流駆動素子を用いた表示装置およびその駆動方法に関するものである。

【0002】**【従来の技術】**

近年、有機ELディスプレイやFED等の電流駆動発光素子の研究開発が活発に行われている。特に有機ELディスプレイは、低電圧・低消費電力で発光可能なディスプレイとして、携帯電話やPDA (Personal Digital Assistants) などの携帯機器用として注目されている。

【0003】

この有機ELディスプレイ用の電流駆動画素回路構成として、非特許文献1に示された回路構成を図22に示す。

【0004】

図22に示す回路構成では、駆動用TFT (Thin Film Transistor) 101のソース端子は電源配線Vsへ接続され、駆動用TFT 101のゲート端子はコンデンサ104を介して電源配線Vsへ接続されている。駆動用TFT 101のドレイン端子と有機EL素子103の陽極との間にはスイッチ用TFT 102が配置され、有機EL素子103の陰極は共通配線Vcomに接続されている。

【0005】

また、駆動用TFT 101とスイッチ用TFT 102との接続点には選択用TFT 106とスイッチ用TFT 105とが接続されている。選択用TFT 106はソース配線Sjへ接続され、スイッチ用TFT 105は駆動用TFT 101のゲート端子へ接続されている。

【0006】

この構成では、走査配線GiにLowの信号が与えられる場合 (選択期間)、スイッチ用TFT 102がOFF状態となり、選択用TFT 106とスイッチ用TFT 105とがON状態となる。この場合、電源配線Vsより駆動用TFT 101および選択用TFT 106を介してソース配線Sjへ電流を流すことが

できる。このときの電流値をソース配線 S_j に繋がる図示しないソースドライバ回路の電流源で制御すれば、駆動用 T F T 101 へそのソースドライバ回路で規定された電流値が流れるように駆動用 T F T 素子 101 のゲート電圧が設定される。

【0007】

また、走査配線 G_i に $H i g h$ の信号が与えられる場合（非選択期間）、選択用 T F T 106 とスイッチ用 T F T 105 とが O F F 状態となり、スイッチ用 T F T 102 が O N 状態となる。この非選択期間においては、上記選択期間においてソース配線 S_j から駆動用 T F T 素子 101 のゲートに対して設定された電位がコンデンサ 104 にて保持される。このため、非選択期間において、駆動用 T F T 101 にて設定された電流値を有機 E L 素子 103 へ流すことができる。

【0008】

また、これに類似した電流駆動画素回路構成として、非特許文献 2 および特許文献 1 で示された画素回路構成を図 23 に示す。

【0009】

図 23 の回路構成では、駆動用 T F T 108 のソース端子とゲート端子との間にコンデンサ 111 が配置され、ゲート端子とドレイン端子との間にスイッチ用 T F T 112 が配置され、そのドレイン端子に有機 E L 素子 109 の陽極が配置されている。そして、駆動用 T F T 108 のソース端子と電源配線 V_s との間にスイッチ用 T F T 107 が配置され、ソース配線 S_j との間に選択用 T F T 110 が配置されている。

【0010】

これら選択用 T F T 110 およびスイッチ用 T F T 107, 112 のゲート端子には各々制御配線 W_i , R_i , 走査配線 G_i が接続されている。

【0011】

この画素回路構成の動作を、図 24 に示すタイミングチャートを用いて以下に説明する。このタイミングチャートは、制御配線 W_i , R_i 、走査配線 G_i およびソース配線 S_j の各配線に与えられる信号のタイミングを示している。

【0012】

図 24 では時間 $0 \sim 3t_1$ が選択期間を示しており、該選択期間において制御配線 R_i の電位は H_{igh} (GH) となっており、スイッチ用 TFT107 を OFF 状態とする。また、同時に制御配線 W_i の電位は L_{ow} (GL) となっており、選択用 TFT110 を ON 状態とする。これにより、選択期間では、ソース配線 S_j から選択用 TFT110 および駆動用 TFT108 を介して有機 EL 素子 109 へ電流が流れる状態となる。

【0013】

この選択期間において、時間 $0 \sim 2t_1$ の期間では、走査配線 G_i の電位は H_{igh} となっており、スイッチ用 TFT112 を ON 状態とするため、ソース配線 S_j に繋がる図示しないソースドライバ回路から有機 EL 素子 109 へ電流が流れる。このとき、駆動用 TFT108 のゲート電位は、上記ソースドライバ回路で規定された電流値が流れるよう設定される。

【0014】

そして、時間 $2t_1 \sim 3t_1$ の期間では、スイッチ用 TFT112 は OFF 状態とされるが、駆動用 TFT108 のゲート電位はコンデンサ 111 によって保持され、この期間においてもソース配線 S_j から有機 EL 素子 109 へ電流が流れる。

【0015】

時間 $3t_1$ 以降（非選択期間）では、スイッチ用 TFT110 を OFF 状態とし、スイッチ用 TFT107 を ON 状態とする。このため、非選択期間においては、電源配線 V_s より設定された電流値が有機 EL 素子 109 へ流れるよう制御される。

【0016】

【非特許文献 1】

M.T.Johnson、他 5 名, “Active Matrix PolyLED Displays”, IWD '00, 2000, p.235-238

【0017】

【非特許文献 2】

Simon W-B.Tam、他 5 名, “Polysilicon TFT Drivers for Light Emitt

ing Polymer Displays”, I D W ’ 9 9, 1999, p.175-178

【0018】

【特許文献1】

特表2002-514320号公報（国際公開日平成10年10月29日）

【0019】

【発明が解決しようとする課題】

しかしながら、非特許文献2に示される上記画素回路構成では駆動用TFT108の閾値電圧・移動度のばらつきにより、非選択期間において有機EL素子109を流れる電流値がばらつくという問題がある。

【0020】

この電流値のばらつきの影響がどの程度あるか知るために、図23における画素回路構成で、駆動用TFT108の閾値電圧・移動度を以下の表3に示す5つの条件で振り、有機EL素子109を流れる電流値をシミュレーションで求めた。その結果を図25に示す。なお、閾値電圧や移動度には回路設計で用いる上限、下限、平均値があり、以下の表3に示す条件は、そのような設計上定められた平均値、上限、下限により設定されている。

【0021】

【表3】

	Ioled(1)	Ioled(2)	Ioled(3)	Ioled(4)	Ioled(5)
閾値電圧	平均値	下限	上限	上限	下限
移動度	平均値	下限	上限	下限	上限

【0022】

図25におけるシミュレーションでは、0.24ms毎に選択期間が来るよう設定し、最初の時間0.27ms～0.51msの間でソース配線Sjへ電流値0.1uAが流れるよう設定した。それ以降は、時間0.24ms毎に、ソース配線Sjへ流れる電流値を0.1uA刻みで0.9uAまで増加させ、その後0

に戻し、再度 $0.1\text{ }\mu\text{A}$ 刻みで増加させている。

【0023】

即ち、上記シミュレーションにおける最初の選択期間は、時間 $0.27\sim 0.30\text{ ms}$ の間であり、この選択期間においてソース配線 S_j へ流れている電流値 $0.1\text{ }\mu\text{A}$ により駆動用 T F T 108 のゲート端子電位が規定され、その期間だけ有機 E L 素子 109 を流れる電流値が $0.1\text{ }\mu\text{A}$ に設定される。尚、この時のゲート電位は、その後の非選択期間 $0.31\sim 0.51\text{ ms}$ においても保持されているが、その非選択期間において有機 E L 素子 109 を流れる電流値は、 $0.12\sim 0.13\text{ }\mu\text{A}$ 程度のばらつきを持つ。

【0024】

このシミュレーションにおいて、ソース配線 S_j に流した電流値 ($0\sim 0.9\text{ }\mu\text{A}$ 迄の 10 点) を横軸にし、これらの各電流値を与えた後の非選択期間における有機 E L 素子 109 へ流れる電流値を縦軸として、そのばらつきを示したのが図 26 である。図 26 において、ソース配線 S_j へ $0.9\text{ }\mu\text{A}$ の電流を流した後の非選択期間では、有機 E L 素子 109 を流れる電流値は約 $0.95\sim 1.12\text{ }\mu\text{A}$ ($+5\%\sim +24\%$) の範囲でばらついている。

【0025】

このばらつきが起きる原因は、図 27 に示すように選択期間 (概ね $270\sim 300\text{ }\mu\text{s}$ の間) と非選択期間 (それ以外の期間) とにおいて駆動用 T F T 108 のソース・ドレイン間電圧 V_{sd} が変化するためである。なお、図 27 は、上記表 1 において示した駆動用 T F T 108 の 5 つの閾値電圧・移動度条件を用いてシミュレーションした結果を示しており、各電圧値 $V_{sg}(1)\sim V_{sg}(5)$ 、 $V_{sd}(1)\sim V_{sd}(5)$ のそれぞれは、表 1 における $I_{oled}(1)\sim (5)$ の条件と一致する。

【0026】

すなわち、図 23 の回路構成では、図 27 に示すように、選択期間内における電流書き込み時 (図 24 の時間 $0\sim 2t_1$ の期間、図 27 では概ね時間 $270\sim 290\text{ }\mu\text{s}$ の間) はスイッチ用 T F T 112 が ON 状態となるので、駆動用 T F T 108 のソース・ドレイン間電圧 V_{sd} はソース・ゲート間電圧 V_{sg} と一致

している。

【0027】

この時の駆動用TFT108のソース・ゲート間電圧 V_{sg} は、駆動用TFT108の閾値電圧・移動度により決まる。すなわち、閾値が1Vの場合と2Vの場合とでは、1V程度のばらつきが発生する。実際、上記シミュレーション結果では、ソース配線Sjに0.1 μ Aの電流を流したとき、ソース・ゲート間電圧 V_{sg} は約1.4V～3.6Vの範囲でばらついている。

【0028】

その後、スイッチ用TFT112をOFF状態とすると（概ね290 μ s以降）、駆動用TFT108のソース・ゲート間電位は保持されるが、ソース・ドレイン間電圧 V_{sd} は変化する。

【0029】

特に、非選択期間となった後（概ね300 μ s以降）は、ソース・ドレイン間電圧 V_{sd} は6V程度に変化する。この電圧 V_{sd} は、有機EL素子109の印加電圧対電流値特性により、該有機EL素子109に電流値0.5 μ Aを流すのに必要な電圧 V_{oled} により決まる。このシミュレーションでは、電圧 V_{oled} は、

$$V_{oled} = V_s - 6V$$

程度の特性としている。また、この有機EL素子109の印加電圧対電流値特性はダイオード的な特性（印加電圧に対して電流値が指数関数的に増える）なので、有機EL素子109を流れる電流値が数割程度異なっても、駆動用TFT108のソース・ドレイン間電圧は余りばらつかない。

【0030】

もし、この駆動用TFT108が理想的なFETであれば、ゲート・ソース間電位 V_{sg} が一定であり、

$$V_{sd} > V_{sg}$$

の条件を満たす場合、ソース・ドレイン間電圧 V_{sd} が変化しても、ソース・ドレイン間を流れる電流値は変化しない。しかし、現実のTFTでは、図28に示すように、ゲート・ソース間電位 V_{sg} が一定であっても、ソース・ドレイン間

電圧 V_{sd} が増えれば、ソース・ドレイン間を流れる電流値も増える。なお、図 28 は、上記表 1 において示した駆動用 TFT108 の 5 つの閾値電圧・移動度条件を用いてシミュレーションした結果を示しており、各電流値 $I_{tft}(1)$ ~ $I_{tft}(5)$ のそれぞれは、表 1 における $I_{oled}(1)$ ~ (5) の条件と一致する。

【0031】

上記図 28 に示す結果より、駆動用 TFT108 の閾値電圧・移動度により、電流書き込み時のソース・ドレイン間電圧 V_{sd} がばらつけば、非選択期間でのソース・ドレイン間電流がばらつく。その結果、有機 EL 素子 109 を流れる電流値も変化する。

【0032】

そこで、図 29 に示すように、駆動用 TFT108 と有機 EL 素子 109 を直列に接続した回路を用い、非選択期間でのソース・ドレイン間電流がばらつきを調べた。この時、駆動用 TFT108 のゲート端子へ、上記図 27 の電流書き込み時に得られた駆動用 TFT108 のゲート・ソース間電位 V_{gd} を印加し、さらに電源電圧 $V_s - V_{com}$ を変化させ、有機 EL 素子 109 を流れる電流を上記駆動用 TFT108 の 5 つの閾値電圧・移動度条件を用いてシミュレーションした。このシミュレーション結果を図 30 に示す。

【0033】

図 30 では、ソース配線 S_j へ $0.5 \mu A$ の電流を供給したときの駆動用 TFT108 のゲート・ソース間電位 V_{gd} を用いている。この場合、上記図 27 に示す電流書き込み時のソース配線 S_j の電位が、駆動用 TFT108 の閾値電圧・移動度条件により変化し、有機 EL 素子 109 へ電流 $0.5 \mu A$ を供給するよう設定されるので、電源配線 V_s の電位が一定 ($16 V$) の条件では、有機 EL 素子 109 を流れる電流値が変化してしまう。

【0034】

このように、駆動用 TFT の閾値電圧・移動度のばらつきにより電流書き込み時のソース・ドレイン間電圧 V_{sd} がばらつき、結果として非選択時に有機 EL 素子を流れる電流値がばらつく現象は、図 22 に示した画素回路構成でも同様に

生じる。このように、従来の画素回路構成では、駆動用 T F T の閾値電圧・移動度のばらつきにより非選択期間に有機 E L 素子を流れる電流がばらつくといった問題がある。

【0035】

本発明は、上記の問題点を解決するためになされたもので、その目的は、駆動用 T F T の閾値電圧・移動度のばらつきによる、非選択期間の有機 E L 素子を流れる電流値ばらつきを抑えることができる表示装置を提供することにある。

【0036】

【課題を解決するための手段】

本発明の表示装置は、上記の課題を解決するために、電流駆動発光素子と、該電流駆動発光素子の供給電流を制御する駆動用トランジスタとを含む表示装置において、上記駆動用トランジスタの電流制御端子と電流出力端子との間に接続される第 1 スイッチ用トランジスタと、上記駆動用トランジスタの電流制御端子と電流入力端子との間に接続される第 1 コンデンサと、上記駆動用トランジスタの電流制御端子に一方の端子である第 1 端子が接続され、もう一方の端子である第 2 端子は、駆動用トランジスタの電流出力端子との間に第 2 スイッチ用トランジスタを介して接続され、かつ定電圧線との間に第 3 スイッチ用トランジスタを介して接続されている第 2 コンデンサとを備えていることを特徴としている。

【0037】

上記の構成を用いた画素回路構成及びソースドライバ回路構成によれば、前記回路の駆動用トランジスタの出力電流設定期間中において、第 1 スイッチ用トランジスタを ON した状態で駆動用トランジスタへ所定の電流を流すことで、その駆動用トランジスタの閾値電圧・移動度のバラツキに対応した電流制御端子電位（電位 V_x とする）が得られる。この電流制御端子電位は第 1 コンデンサに保持される。

【0038】

またこのとき、第 1 のコンデンサの第 1 端子と第 2 のコンデンサの第 1 端子は接続されており、第 2 コンデンサの第 2 端子は、第 2 スイッチ用トランジスタを OFF、第 3 スイッチ用トランジスタを ON とすることで、定電圧線（一定電位

V_aとする)に接続され、該第2コンデンサには、電位V_a - V_xが保持される。以上を第1の期間とする。

【0039】

次に、第2スイッチ用トランジスタをON、第3スイッチ用トランジスタをOFFとすることで、第2コンデンサの第2端子を上記駆動用トランジスタの電流出力端子(TFTのドレイン端子またはソース端子)へ接続する。このとき、初期状態として駆動用トランジスタの電流入力端子-電流出力端子間電位(TFTのドレイン端子とソース端子との間の電位)がV_aのとき、上記駆動用トランジスタの電流制御端子電位(TFTのゲート端子)が上記電位V_xとなる。

【0040】

その後、上記駆動用トランジスタへ所望の電流値を流すことで、上記駆動用トランジスタの電流制御端子電位(TFTのゲート端子)が変化するが、その変化量は上記駆動用トランジスタの閾値電圧・移動度等の特性に余り依存しないので、上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用トランジスタの電流入力端子-電流出力端子間電位がほぼ等しい状態で所定の上記駆動用トランジスタが電流値を出力するよう設定できる。

【0041】

このときの上記駆動用トランジスタの電流制御端子電位は第1のコンデンサと第2のコンデンサの接続を切り離す場合第1のコンデンサに、切り離さない場合第1および第2のコンデンサに保持される。以上を第2の期間とする。

【0042】

その後、上記画素回路の非選択期間において、上記駆動用トランジスタの電流入力端子-電流出力端子間電位は変化するが、その変化後の電位は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず一定なので、上記駆動用トランジスタの電流入力端子-電流出力端子間を流れる電流値のバラツキを抑えることができる。

【0043】

上記駆動回路構成は上記電流駆動発光素子を直接駆動する画素回路構成としても適用可能であるが、画素回路に配置した駆動用トランジスタの出力電流を設定

するソースドライバ回路構成としても有効である。

【0044】

後者の場合、上記表示装置において、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成を、各ソースドライバ回路毎に備えている構成とすることが有効である。

【0045】

また前者の場合でも、上記表示装置においては、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成を、各画素回路毎に備えている構成とすることができる。

【0046】

特に上記の画素回路構成によれば、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成を、すべて画素回路側に備えることで、該画素回路を駆動するソースドライバ回路は、従来と同構成のものを使用できる。

【0047】

また前者の場合、上記表示装置においては、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成は、一部が画素回路側、他の一部がソースドライバ回路側に配置される構成とすることができる。

【0048】

上記の構成によれば、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成の一部をソースドライバ回路側に配置することで、これらすべてを画素回路側に配置する場合と比べ、画素回路当たりに必要なコンデンサ及びトランジスタの数の増加を抑制できる。このため、従来に比べて電流駆動発光素子の単位面積当たりの発光輝度を向上させる必要がなく、その輝度半減寿命も変わらない。

【0049】

また、上記表示装置においては、画素回路側に、電流駆動発光素子、駆動用トランジスタ、および第1コンデンサを配置し、ソースドライバ側に、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタを配置すると共に、上記駆動用トランジスタの電流制御端子と、第2コンデンサの第1端子とを接続する接続配線を備えている構成とすることができる。

【0050】

上記の構成によれば、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成の一部をソースドライバ回路側に配置した表示装置の具体的構成を提供することができる。

【0051】

また、上記表示装置においては、さらに、OFF電位を供給するOFF電位線を備えており、上記接続配線が、第4スイッチング用トランジスタを介してOFF電位線に接続されている構成とすることができる。

【0052】

上記の構成によれば、暗状態となる画素に対しては、上記駆動用トランジスタを十分にOFF状態とするOFF電位を、上記OFF電位線から第4スイッチング用トランジスタおよび上記接続配線を通して駆動用トランジスタの電流制御端子に供給できるので、暗状態の輝度を充分低くし、表示装置のコントラストを向上できる。

【0053】

また、本発明の他の表示装置は、上記の課題を解決するために、電流駆動発光素子と、該電流駆動発光素子の非選択期間における供給電流を制御する駆動用トランジスタとを含む画素回路をマトリクス状に配してなる表示装置、またはマトリックス状にトランジスタと電流光学素子を配置し、前記トランジスタの出力電流値を規定する駆動用トランジスタをソースドライバ回路に配置してなる表示装置において、上記駆動用トランジスタの電流制御端子に第1コンデンサの一方の

端子である第1端子が接続されており、上記画素回路の選択期間では、第1のコンデンサの第1端子に第2のコンデンサの一方の端子である第1端子が接続され、第1の期間において、第2コンデンサの他方端子である第2端子を定電圧線に接続し、上記駆動用トランジスタの電流制御端子と電流出力端子とを接続し、この時の上記駆動用トランジスタの電流制御端子電位を第1のコンデンサに保持し、第2の期間において、上記駆動用トランジスタの電流制御端子と電流出力端子との接続を遮断し、第2コンデンサの第2端子の接続を上記定電圧線との接続から上記駆動用トランジスタの電流出力端子との接続に切り替え、上記駆動用トランジスタの電流制御端子電位を修正し、この時の上記駆動用トランジスタの電流制御端子電位を第1コンデンサおよび第2コンデンサに保持し、上記画素回路の非選択期間では、上記第1コンデンサに保持された駆動用トランジスタの電流制御端子電位によって、電流駆動発光素子の非選択期間における供給電流を制御することを特徴としている。

【0054】

上記の構成によれば、画素回路及びソースドライバ回路の選択期間中の第1の期間において、駆動用トランジスタへ所定の電流を流すことで、その駆動用トランジスタの閾値電圧・移動度のバラツキに対応した電流制御端子電位（電位 V_x とする）が得られる。この電流制御端子電位は第1コンデンサに保持される。またこのとき、第1のコンデンサの第1端子と第2のコンデンサの第1端子は接続されており、第2コンデンサの第2端子は定電圧線（一定電位 V_a とする）に接続され、該第2コンデンサには、電位 $V_a - V_x$ が保持される。

【0055】

次に、第2の期間において、第2コンデンサの第2端子を上記駆動用トランジスタの電流出力端子（TFTのドレイン端子またはソース端子）へ接続する。このとき、駆動用トランジスタの電流入力端子ー電流出力端子間電位（TFTのドレイン端子とソース端子との間の電位）が V_a のとき、上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）が上記電位 V_x となる。

【0056】

その後、上記駆動用トランジスタへ所望の電流値を流すことで、上記駆動用ト

ランジスタの電流制御端子電位（TFTのゲート端子）が変化するが、その変化量は上記駆動用トランジスタの閾値電圧・移動度等の特性に余り依存しないので、上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用トランジスタの電流入力端子ー電流出力端子間電位がほぼ等しい状態で所定の上記駆動用トランジスタが電流値を出力するよう設定できる。

【0057】

このときの上記駆動用トランジスタの電流制御端子電位は第1のコンデンサと第2のコンデンサの接続を切り離す場合第1のコンデンサに、切り離さない場合第1および第2のコンデンサに保持される。

【0058】

その後、上記画素回路の非選択期間において、上記駆動用トランジスタの電流入力端子ー電流出力端子間電位は変化するが、その変化後の電位は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず一定なので、上記駆動用トランジスタの電流入力端子ー電流出力端子間を流れる電流値のバラツキを抑えることができる。

【0059】

【発明の実施の形態】

本発明の実施の形態について図1ないし図21に基づいて説明すれば、以下の通りである。

【0060】

本発明に用いられるスイッチング素子は低温ポリシリコンTFTやCG（Continuous Grain）シリコンTFTなどで構成できるが、本実施の形態ではCGシリコンTFTを用いることとする。

【0061】

ここで、CGシリコンTFTの構成は、例えば“4.0-in. TFT-OLED Displays and a Novel Digital Driving Method”（SID'00 Digest、pp.924-927、半導体エネルギー研究所）に発表されており、CGシリコンTFTの製造プロセスは、例えば“Continuous Grain Silicon Technology and Its Applications for Active Matrix Display”（AM-LCD 2000、pp.25-28、半導体エネルギー研究所）に

発表されている。すなわち、CGシリコンTFTの構成およびその製造プロセスは何れも公知であるため、ここではその詳細な説明は省略する。

【0062】

また、本実施の形態で用いる電気光学素子である有機EL素子についても、その構成は、例えば“Polymer Light-Emitting Diodes for use in Flat panel Display” (AM-LCD '01、pp.211-214、半導体エネルギー研究所) に発表されており公知であるため、ここではその詳細な説明は省略する。

【0063】

〔実施の形態1〕

本実施の形態1では、本発明に係る特徴的構成を画素回路において適用した場合について説明する。

【0064】

本実施の形態1に係る表示装置は、図1に示すように、その各画素回路 A_{ij} において、電源配線 V_s と共通配線 V_{com} との間に駆動用トランジスタである駆動用TFT1と電気光学素子である有機EL素子6とを直列に配置している。

【0065】

駆動用TFT1のゲート端子（電流制御端子）は、第1のスイッチ用トランジスタであるスイッチ用TFT3を介してソース配線 S_j と接続されている。駆動用TFT1とスイッチ用TFT3との間には、第1コンデンサ2および第2コンデンサ7の一方の端子が接続されている。第1コンデンサ2のもう一方の端子は、駆動用TFT1のソース端子（電流入力端子）および電源配線 V_s へ接続されている。第2コンデンサ7のもう一方の端子は、第3のスイッチ用トランジスタであるスイッチ用TFT8を介して定電圧線 V_a に接続され、第2のスイッチ用トランジスタであるスイッチ用TFT9を介してソース配線 S_j に接続されている。尚、以下の説明では、第1コンデンサ2および第2コンデンサ7において、駆動用TFT1のゲートと接続される側の端子を第1端子、第1端子と反対側の端子を第2端子とする。

【0066】

スイッチ用TFT3およびスイッチ用TFT8のゲート端子は制御配線 C_i に

接続されており、スイッチ用 T F T 9 のゲート端子は制御配線 G i に接続されている。

【0067】

駆動用 T F T 1 のドレイン端子（電流出力端子）と有機 E L 素子 6 の陽極との間にはスイッチ用 T F T 4 が配置されており、該スイッチ用 T F T 4 のゲート端子は制御配線 R i に接続されている。駆動用 T F T 1 とスイッチ用 T F T 4 との間の接続点は、スイッチ用 T F T 5 を介してソース配線 S j と接続されており、該スイッチ用 T F T 5 のゲート端子は制御配線 W i に接続されている。

【0068】

これら制御配線 C i, G i, W i のうち何れを第 2 の配線（ゲート配線）としても良いし、これらスイッチ用 T F T 3, 9, 5 のうち何れを選択用 T F T としても良い。

【0069】

この回路構成では、駆動用 T F T 1 のゲート端子は、スイッチ用 T F T 3、ソース配線 S j およびスイッチ用 T F T 5 を介して駆動用 T F T 1 のドレイン端子へ接続される。また、第 2 コンデンサ 7 の第 2 端子は、スイッチ用 T F T 9、ソース配線 S j およびスイッチ用 T F T 5 を介して駆動用 T F T 1 のドレイン端子へ接続される。

【0070】

上記のように本発明の手段では、第 1 のスイッチ用 T F T であるスイッチ用 T F T 3 は直接駆動用 T F T の電流制御端子と電流出力端子間を接続する場合だけでなく、ソース配線 S j、スイッチ用 T F T 5 を通して間接的に接続する場合も含む。

【0071】

また、第 2 のスイッチ用 T F T であるスイッチ用 T F T 5 も直接第 2 のコンデンサの第 2 端子と駆動用 T F T の電流出力端子間を接続する場合だけでなく、上記のようにソース配線 S j、スイッチ用 T F T 5 を通して間接的に接続する場合も含む。

【0072】

上記表示装置の画素回路 A_{ij} における動作を、制御配線 R_i 、 W_i 、 C_i 、 G_i およびソース配線 S_j の動作タイミングを示す図 2 を参照して以下に説明する。

【0073】

本実施の形態 1 に係る駆動方法では、選択期間である時間 $0 \sim 5t_1$ の間に、制御配線 R_i の電位を High (GH) としてスイッチ用 TFT 4 を OFF 状態とし、制御配線 W_i の電位を Low (GL) としてスイッチ用 TFT 5 を ON 状態とする。

【0074】

そして、第 1 の期間 (時間 $t_1 \sim 2t_1$) において、制御配線 C_i の電位を High として、スイッチ用 TFT 3・8 を ON 状態とする。この結果、駆動用 TFT 1 のゲート端子とドレイン端子とはスイッチ用 TFT 3・5 を通じて接続される。また、第 2 コンデンサ 7 における第 2 端子は、スイッチ用 TFT 8 を通じて定電圧線 V_a へ接続される。そしてこのとき、電源配線 V_s から駆動用 TFT 1、スイッチ用 TFT 5、ソース配線 S_j を通じて、図示しないソースドライバ回路へ向けて一定電流が流される。

【0075】

なお、上記第 1 の期間は時間 0 から始めても構わないので、図 2 ではそのことを破線を用いて示す。

【0076】

その後 (時間 $2t_1$ 以降)、制御配線 C_i の電位を Low としてスイッチ用 TFT 3・8 を OFF 状態とする。これはスイッチ TFT 3 または 8 とスイッチ TFT 9 が同時に ON 状態とならないようにするためであり、実際に必要な期間は t_1 より短い。このとき、上記第 1 の期間で設定されたソース配線 S_j の電位は、第 1 コンデンサ 2 および第 2 コンデンサ 7 を用いて保持される。

【0077】

次に、第 2 の期間 (時間 $3t_1 \sim 4t_1$) において、制御配線 G_i の電位を High として、スイッチ用 TFT 9 を ON 状態とする。この結果、第 2 コンデンサ 7 の第 2 端子は、駆動用 TFT 1 のドレイン端子とスイッチ用 TFT 9・5 を

通じて接続される。そしてこのとき、電源配線 V_s から駆動用 T F T 1、スイッチ用 T F T 5、ソース配線 S_j を通じて図示しないソースドライバ回路へ所望の電流が流れる。

【0078】

上記第2の期間で設定された駆動用 T F T 1 のソース・ゲート間電位は、その後（時間 $4t_1$ 以降）、制御配線 G_i の電位を $L o w$ としスイッチ用 T F T 9 を $O F F$ 状態とすることで、第1コンデンサ2および第2コンデンサ7に保持される。なお、この後制御配線 R_i が $L o w$ となり、制御配線 W_i が $H i g h$ となるまでの時間 $4t_1 \sim 5t_1$ は、スイッチ用 T F T 9 が確実に $O F F$ 状態となつてから、選択期間を終えるためであり、そのために必要な時間は t_1 より短くて良い。

【0079】

以上でこの画素回路 A_{ij} の選択期間が終わり、次の画素回路 $A_{(i+1)j}$ の選択期間になるが、上記画素回路 A_{ij} における駆動用 T F T 1 のソース・ゲート間電位 V_{sg} 、ソース・ドレイン間電位 V_{sd} の変化をシミュレーションした結果を図3に示す。尚、図3において示しているソース・ドレイン間電位 $V_{sd}(1) \sim V_{sd}(5)$ 、およびソース・ゲート間電位 $V_{sg}(1) \sim V_{sg}(5)$ のそれぞれは、駆動用 T F T 1 の閾値電圧・移動度の特性が以下の表1に示す条件に相当する。

【0080】

【表1】

	$I_{oled}(1)$	$I_{oled}(2)$	$I_{oled}(3)$	$I_{oled}(4)$	$I_{oled}(5)$
	$V_{sg}(1)$	$V_{sg}(2)$	$V_{sg}(3)$	$V_{sg}(4)$	$V_{sg}(5)$
	$V_{sd}(1)$	$V_{sd}(2)$	$V_{sd}(3)$	$V_{sd}(4)$	$V_{sd}(5)$
閾値電圧	平均値	下限	上限	上限	下限
移動度	平均値	下限	上限	下限	上限

【0081】

図3では、時間460～470 μ sが上記第1の期間に相当する。図3から判る通り、この期間では駆動用TFT1のソース・ドレイン間電位 $V_{sd}(1) \sim (5)$ とソース・ゲート間電位 $V_{sg}(1) \sim (5)$ とは一致している。

【0082】

また、図3では、時間480～490 μ sが上記第2の期間に相当する。図3から判る通り、この期間では駆動用TFT1の閾値電圧・移動度の条件の違いに関わらず、ソース・ドレイン間電位 V_{sd} はほぼ同じ値となっている。

【0083】

これは、先の第1期間において、第2コンデンサ7の第2端子を一定電位 V_a に接続し、その後、この第2端子を駆動用TFT1のドレイン端子に接続することで、駆動用TFT1のソース・ドレイン間電位が $V_s - V_a$ のとき、ソース・ゲート間電位が上記図12の第1期間のソース・ゲート間電位となるよう第1及び第2コンデンサへ電荷が貯められたためである。

【0084】

このことにより、駆動用TFT1の閾値電圧・移動度のばらつきに依らず、駆動用TFT1のソース・ドレイン間電位が上記電位 $V_s - V_a$ のとき、駆動用TFT1のソース・ゲート間電位が上記第1期間のソース・ゲート間電位となるよう設定できる。この状態で電源配線 V_s から駆動用TFT1、スイッチ用TFT5、ソース配線 S_j を通して図示しないソースドライバ回路へ所望の電流を流す。このとき発生するソース・ゲート間電位 V_{sg} は、駆動用TFTの閾値電圧・移動度のばらつきに依らず、駆動用TFT1のソース・ドレイン間電位が一定であれば、駆動用TFT1から概ね一定の電流を流す条件で設定される。

【0085】

その後、図3に示すように、非選択期間（概ね時間500 μ s以降）において、駆動用TFT1のソース・ドレイン間電位は変化する。しかし、この駆動用TFT1の負荷である有機EL素子6はダイオード的特性を示すので、多少の電流値の違いがあっても電位ドロップは概ね一定となる。このため、駆動用TFT1のドレイン端子電位は駆動用TFT1の閾値電圧・移動度のばらつきに依らず概ね一定となり、駆動用TFT1のソース・ドレイン間電圧はほぼ一定となる。こ

の結果、駆動用 T F T 1 の閾値電圧・移動度に依らず、有機 E L 素子 6 を流れる電流値のばらつきが抑えられる。

【0086】

この有機 E L 素子 6 を流れる電流値をシミュレーションで求めた結果を図 4 および図 5 に示す。

【0087】

図 4 におけるシミュレーションでは、0.32ms 毎に選択期間が来るよう設定し、最初の時間 0.35ms ~ 0.67ms の間でソース配線 S j へ電流値 0.1uA が流れるよう設定した。それ以降は、時間 0.32ms 毎に、ソース配線 S j へ流れる電流値を 0.1uA 刻みで 0.9uA まで増加させ、その後 0 に戻し、再度 0.1uA 刻みで増加させている。

【0088】

このシミュレーションにおいて、ソース配線 S j に流した電流値 (0 ~ 0.9uA 迄の 10 点) を横軸にし、これらの各電流値を与えた後の非選択期間における有機 E L 素子 6 へ流れる電流値を縦軸として、そのばらつきを示したのが図 5 である。図 5 において、ソース配線 S j へ 0.9uA の電流を流した後の非選択期間では、有機 E L 素子 6 を流れる電流値は約 0.97 ~ 1.01uA (+8% ~ +13%) の範囲でばらついている。

【0089】

これは、図 26 に示した従来技術でのシミュレーション結果 (+5% ~ +24% のばらつき、即ち幅 19% のばらつき) に比べ充分小さくなっており、本発明の手段が有効 (+8% ~ +13% のばらつき、即ち幅 5% のばらつき) であることを証明している。

【0090】

なお、本発明に係る画素回路構成において、上記ばらつきを更に抑えるには、第 1 および第 2 コンデンサ 2, 7 の絶対容量およびその相対比、一定電位 V a の値、駆動用 T F T 1 のゲート幅等を最適化することが有効である。

【0091】

例えば、第 2 コンデンサ 7 の容量 C 2 と第 1 コンデンサ 2 の容量 C 1 との比 C

2/C1は、その比が小さいほど、第2の期間で起こるソース・ゲート間電位 V_{sg} の変化を得るために必要なソース・ドレイン間電位の変化を抑えることができる。この場合、駆動用TFT1の閾値電圧・移動度に依るソース・ドレイン間電位のばらつきを抑え、非選択期間に有機EL素子6に流れる電流値のばらつきを抑えるので好ましい。

【0092】

但し、各コンデンサの容量の絶対値を小さくしすぎると、各コンデンサに保持される電位が、そのコンデンサに繋がるスイッチ用TFT3, 8, 9のゲート端子電位の変化の影響を受け、その結果、非選択期間に有機EL素子6に流れる電流値をばらつかせるので好ましくない。

【0093】

また、第1の期間に与える一定電位 V_a の値は、電源配線 V_s との電位差 $V_s - V_a$ が、非選択時に想定されるソース・ドレイン間電位 V_{sd} よりやや大きめに設定されることが好ましい。但し、電位差 $V_s - V_a$ の設定が余りに大きすぎる場合、電流書き込み時と非選択時とのソース・ドレイン間電位 V_{sd} の変化が大きくなりすぎ、ソース配線 S_j から供給した電流値に比べ、実際に有機EL素子6に流れる電流値が小さくなり過ぎるので好ましくない。

【0094】

また、駆動用TFT1のゲート幅 W については、大きすぎると駆動用TFT1のソース・ゲート間電位が小さくなりすぎて、ゲート電位の変動が非選択期間に有機EL素子6に流れる電流値をばらつかせるため好ましくない。また、上記ゲート幅 W は、小さすぎても必要な電流を得るのに必要なソース・ドレイン間電位が大きくなり過ぎるため好ましくない。

【0095】

本実施の形態1で用いた有機EL素子に対しては、図1に示す画素回路 A_{ij} において、 $C1 = 1000\text{ fF}$ 、 $C2 = 500\text{ fF}$ 、 $V_s = 16\text{ V}$ 、 $V_a = 10\text{ V}$ 、 $W = 12\text{ }\mu\text{m}$ のとき、有機ELを流れる電流値のばらつきが最も少なくなり（1%程度）好適であった。

【0096】

なお、これら第1および第2コンデンサ2, 7の絶対容量C1, C2およびその相対比、一定電位V_aの値、駆動用TF T1のゲート幅Wは駆動すべき有機EL素子の特性、必要な輝度、用いる駆動用TF T1の特性に依存するので、実際にパネルを設計するときに、改めてシミュレーションを重ねた上で決定する必要がある。

【0097】

なお、図1の画素回路構成では、駆動用TF T1のゲート端子とドレイン端子とを接続するためにスイッチング用TF T3をソース配線S_jへ接続したが、直接駆動用TF T1のドレイン端子へ接続しても良い。これは、第2コンデンサ7の第2端子を駆動用TF T1のドレイン端子へ接続するためのスイッチング用TF T9についても同様であり、スイッチング用TF T3, 9は、直接駆動用TF T1のドレイン端子へ接続しても良い。

【0098】

また、有機EL素子を駆動用TF Tのソース側に配置することもできる。このとき、図6に示すように、駆動用TF T1'はn型TF Tとなり、有機EL素子6'の陰極が駆動用TF T1'のソース端子側に繋がる。また、上記図6に示す構成では、スイッチ用TF T4'およびスイッチ用TF T5'が共にn型TF Tとして形成されている点が図1に示す画素回路構成と異なっている。

【0099】

また、スイッチ用TF T3'は駆動用TF T1のドレイン端子へ接続されている。スイッチ用TF T9'も同様である。

【0100】

図6に示す画素回路構成について、その他の配線、動作は図1と同様なので、図1と同様の構成については同一の部材番号を付し、ここではその説明を省略する。

【0101】

〔実施の形態2〕

本実施の形態2では、本発明に係る特徴的構成を画素回路およびソースドライバ回路において適用した場合の第1の例について説明する。

【0102】

本実施の形態2に係る表示装置は、本発明の特徴的構成部分を、画素回路とソースドライバ回路とに分割して配置した構成である。このため、上記表示装置は、図7に示すように、第1の配線であるソース配線 S_j ($j=1\sim m$ の整数)と第2の配線であるゲート配線 G_i ($i=1\sim n$ の整数)とが交差する領域に画素回路 A_{ij} を配置し、ソース配線 S_j にソースドライバ回路50を接続し、ゲート配線 G_i にゲートドライバ回路51を接続した構成となっている。

【0103】

上記表示装置において、本発明の特徴的構成を含む画素回路 A_{ij} とソースドライバ回路50の出力段であるソースドライバ出力端回路 D_j との構成を図8に示す。

【0104】

本実施の形態2に係る表示装置では、上記図8に示すように、ソース配線 S_j とゲート配線 G_i が交差する領域に画素回路 A_{ij} が配置され、各画素回路 A_{ij} には、アクティブ素子である駆動用TFT11と電気光学素子である有機EL素子16と第1コンデンサ12が配置されている。この駆動用TFT11と有機EL素子16とは、電源配線 V_s と共通配線 V_{com} の間に直列に配置されている。

【0105】

そして、駆動用TFT11のゲート端子(電流制御端子)には第1コンデンサ12の一方の端子(第1端子とする)が接続され、第1コンデンサ12のもう一方の端子(第2端子とする)は駆動用TFT11のソース端子(電流入力端子)および電源配線 V_s へ接続されている。

【0106】

また、この画素回路構成では、ソース配線 S_j に平行に第3の配線である信号線 T_j が配置され、駆動用TFT11のゲート端子はスイッチ用TFT15を介して信号線 T_j に接続している。

【0107】

さらに、駆動用TFT11のドレイン端子(電流出力端子)と有機EL素子1

6の陽極との間にはスイッチ用TFT13が配置されており、駆動用TFT11とスイッチ用TFT13との間の接続点は、スイッチ用TFT14を介してソース配線S_jと接続されている。

【0108】

この画素回路A_{ij}を構成するスイッチ用TFT15, 14, 13のゲート端子には各々制御配線G_i, W_i, R_iが接続されている。

【0109】

ソースドライバ回路50では、複数の画素回路A_{1j}～A_{nj}に対応して1つの出力端回路D_jが配置されている。この出力端回路D_jは、図8に示すように、信号線T_jに第2コンデンサ25の一方の端子(第1端子とする)が接続され、更に信号線T_jとソース配線S_jとの間に第1のスイッチ用トランジスタであるスイッチ用TFT22が配置されている。また、第2コンデンサ25のもう一方の端子(第2端子とする)と定電圧線V_aの間には第3のスイッチ用トランジスタであるスイッチ用TFT23が配置され、第2コンデンサ25の第2端子とソース配線S_jの間には第2のスイッチ用トランジスタであるスイッチ用TFT24が配置されている。さらに、信号線T_jとOFF電位線V_{off}の間には第4のスイッチ用トランジスタであるスイッチ用TFT21が配置されている。

【0110】

上記出力端回路D_jにおいて、スイッチ用TFT21のゲート端子には制御配線E_jが接続され、スイッチ用TFT22, 23のゲート端子には制御配線C_jが接続され、スイッチ用TFT24のゲート端子には制御配線B_jが接続されている。

【0111】

上記表示装置の画素回路A_{ij}および出力端回路D_jにおける動作を、制御配線R_i, W_i, G_i, C_j, E_j, B_jおよびソース配線S_jの動作タイミングを示す図9を参照して以下に説明する。

【0112】

本実施の形態2に係る駆動方法では、画素回路A_{ij}の選択期間である時間0

～5 t 1の間に、制御配線R iの電位をH i g h (G H)としてスイッチ用T F T 1 3をO F F状態とし、制御配線W iの電位をL o w (G L)としてスイッチ用T F T 1 4をO N状態とする。

【0 1 1 3】

画素回路A i jでは、第1の期間(時間t 1～2 t 1)において、制御配線G iの電位をH i g hとしてスイッチT F T 1 5をO N状態とし、駆動用T F T 1 1のゲート端子を信号線T jと電氣的に接続させる。これにより、駆動用T F T 1 1のゲート端子に第1コンデンサ1 2および第2コンデンサ2 5が接続された状態を作る。

【0 1 1 4】

これと前後し、出力端回路D jでは、制御配線C jの電位をH i g hとして、スイッチ用T F T 2 2, 2 3をO N状態とする。この結果、駆動用T F T 1 1のゲート端子とドレイン端子とが、スイッチ用T F T 1 5, 2 2, 1 4を通じて電氣的に接続される。また、第2コンデンサ2 5の第2端子は、スイッチ用T F T 2 3を通じて定電圧線V aへ接続される。このとき、電源配線V sから駆動用T F T 1 1, スwitch用T F T 1 4, ソース配線S jを通して電流出力端I jより一定電流が流れる。

【0 1 1 5】

その後、このときのソース配線S jの電位を第1コンデンサ1 2および第2コンデンサ2 5を用いて保持するために、制御配線C iの電位をL o wとしてスイッチ用T F T 2 2, 2 3をO F F状態とする。

【0 1 1 6】

このとき、第1コンデンサ1 2および第2コンデンサ2 5により、駆動用T F T 1 1のゲートでは、該駆動用T F T 1 1の閾値電圧・移動度に依らず、駆動用T F T 1 1のソース・ドレイン間電位がV s - V aのとき、先の一定電流(上記第1の期間で駆動用T F T 1 1のソース・ドレイン間に流れた電流)が流れるような電位が保持される。

【0 1 1 7】

次に、第2の期間(時間3 t 1～4 t 1)では、制御配線B jの電位をH i g

hとして、スイッチ用TFT24をON状態とする。この結果、第2コンデンサ25の第2端子は、スイッチ用TFT24、14を通じて駆動用TFT11のドレイン端子と接続される。このとき、電源配線Vsから駆動用TFT11、スイッチ用TFT14、ソース配線Sjを通じて電流出力端Ijより所望の電流が流される。

【0118】

これにより、上記第2の期間では、駆動用TFT11の閾値電圧・移動度に依らず、駆動用TFT11のソース・ドレイン間電位が上記電位Vs-Vaのとき、駆動用TFT11に上記電流を流すよう設定される。そして、駆動用TFT11へ所望の電流を流すことで、駆動用TFT11のソース・ドレイン間電位が概ね一定の条件で駆動用TFTのゲート・ソース間電位を設定できる。

【0119】

この第2の期間での駆動用TFT11のソース・ゲート間電位は、その後、時間4t1で、制御配線Giの電位をLowとし、スイッチ用TFT15をOFF状態とすることで、第1コンデンサ12に保持される。

【0120】

その後、時間5t1で、制御配線Bjの電位をLowとしてスイッチ用TFT24をOFF状態とすることで第2コンデンサ25とソース配線Sjとの電氣的接続を遮断し、制御配線Wiの電位をHighとしてスイッチ用TFT14をOFF状態とすることで駆動用TFT11のドレイン端子とソース配線Sjとの電氣的接続を遮断する。さらに、制御配線Riの電位をLowとしてスイッチ用TFT13をON状態として駆動用TFT11から有機EL素子16へ電流を流す状態とする。

【0121】

以上で、画素回路Aijの選択期間が終わり、次の画素回路A(i+1)jの選択期間になる。

【0122】

上記図8に示す画素回路構成およびソースドライバ回路の出力端回路構成を用いて、有機EL素子16を流れる電流値をシミュレーションで求めた結果を図1

0に示す。

【0123】

図10におけるシミュレーションでは、0.55ms毎に選択期間が来るよう設定し、最初の時間0.06ms～0.61msの間でソース配線S_jへ電流値0.1μAが流れるよう設定した。それ以降は、時間0.55ms毎に、ソース配線S_jへ流れる電流値を0.1μA刻みで0.9μAまで増加させ、その後0に戻し、再度0.1μA刻みで増加させている。

【0124】

上記図10と実施の形態1で示した図4とを比較すれば判る通り、本実施の形態2のように本発明の特徴的構成の一部をソースドライバ回路に配置した構成でも、総てを画素回路に配置した実施の形態1の構成と同様に、駆動用TFT11の閾値電圧・移動度のばらつきの影響を弱め、非選択期間に有機EL素子16に流れる電流値のばらつきを抑えることができる。

【0125】

また、図8の画素回路構成と実施の形態1で示した図1の画素回路構成とを比較すれば判る通り、本実施の形態2に係る構成では、スイッチ用TFTやコンデンサをソースドライバ回路側に配置するので、ボトムエミッション構成(TFT素子を形成した透明基板側に光を放出する構成)の表示装置において、画素当たり配置できる有機EL素子の面積を大きくできるといった効果が得られる。

【0126】

この結果、有機EL素子の単位面積当たりの発光輝度が抑えられるので、有機EL素子の輝度半減寿命を延ばすことができる。

【0127】

また、本実施の形態2において、非選択期間における有機EL素子16の電流値を0とする場合、図9における期間6t₁～10t₁に示す期間で、制御配線E_jの電位をHighとしてスイッチ用TFT21をON状態とし、信号線T_jへOFF電位V_{off}を供給すればよい。またこの間、制御配線C_j、制御配線B_jの電位はLowとする。

【0128】

その結果、上記期間 ($6t_1 \sim 10t_1$)、信号線 T_j は OFF 電位となるので、図 10 の 5.01 ~ 5.56 ms に示すように、有機 EL 素子 16 を流れる電流値をほぼ 0 とできる。

【0129】

このシミュレーション結果と従来の図 25 のシミュレーション結果とを比較すれば、図 8 に示す回路構成において、スイッチ用 TFT 21 を用いることで、有機 EL 素子 16 を流れる電流値を 0 に近づけることができることが判る。その結果、表示装置のコントラストを向上することができるので好ましい。

【0130】

〔実施の形態 3〕

本実施の形態 3 では、本発明に係る特徴的構成を画素回路およびソースドライバ回路において適用した場合の第 2 の例について説明する。

【0131】

本実施の形態 3 に係る表示装置も、本発明の特徴的構成部分を、画素回路とソースドライバ回路とに分割して配置した構成である。このため、上記表示装置は、実施の形態 2 と同様に図 7 に示すような構成となり、ここではその説明を省略する。

【0132】

上記表示装置において、本発明の特徴的構成を含む画素回路 A_{ij} とソースドライバ回路 50 の出力段であるソースドライバ出力端回路 D_j との構成を図 11 に示す。

【0133】

本実施の形態 3 に係る表示装置では、図 11 に示すように、画素回路 A_{ij} の構成において、実施の形態 2 で示した図 8 の画素回路構成の 3 本の制御配線 G_i 、 W_i 、 R_i の代わりに 1 本のゲート配線 G_i を用い、p 型 TFT であるスイッチ用 TFT 14 の代わりに n 型 TFT であるスイッチ用 TFT 14' を用いている。すなわち、図 11 に示す画素回路 A_{ij} では、スイッチ用 TFT 13、15、14' がゲート配線 G_i により駆動される。

【0134】

また、電源配線 V_s をソース配線 S_j に平行な状態から、ゲート配線 G_i に平行な状態に変更している。その他の点では図 11 の回路は図 8 の回路と同じなので、ここではその詳しい説明は省略する。

【0135】

上記表示装置の画素回路 A_{ij} および出力端回路 D_j における動作を、制御配線 G_i , C_j , E_j , B_j およびソース配線 S_j の動作タイミングを示す図 12 を参照して以下に説明する。

【0136】

本実施の形態 3 に係る駆動方法では、画素回路 A_{ij} の選択期間のうち、時間 $t_1 \sim 5t_1$ で、ゲート配線 G_i の電位を High (GH) として、スイッチ用 TFT13 を OFF 状態とし、スイッチ用 TFT14', 15 を ON 状態とする。

【0137】

この期間、駆動用 TFT11 のゲート端子が信号線 T_j と接続し、駆動用 TFT11 のゲート端子に第 1 コンデンサ 12, 第 2 コンデンサ 25 が接続された状態となる。

【0138】

これと前後し、出力端回路 D_j では、第 1 の期間 (時間 $t_1 \sim 2t_1$) において制御配線 C_j の電位を High として、スイッチ用 TFT22, 23 を ON 状態とする。この結果、駆動用 TFT11 のゲート端子とドレイン端子とが、スイッチ用 TFT15, 22, 14' を通じて接続される。また、第 2 コンデンサ 15 の第 2 端子は定電圧線 V_a へ接続される。

【0139】

そして、電源配線 V_s から駆動用 TFT11, スwitch用 TFT14', ソース配線 S_j を通じて電流出力端 I_j より一定電流を引き抜く。このときのソース配線 S_j の電位は、時間 $2t_1$ において制御配線 C_j の電位を Low としてスイッチ用 TFT22, 23 を OFF 状態とすることにより、第 1 コンデンサ 12 および第 2 コンデンサ 25 を用いて保持される。

【0140】

このとき、第1コンデンサ12および第2コンデンサ25により、駆動用TFT11のゲートでは、該駆動用TFT11の閾値電圧・移動度を補償し、駆動用TFT11のソース・ドレイン間電位が $V_s - V_a$ のとき、先の一定電流（上記第1の期間で駆動用TFT11のソース・ドレイン間に流れた電流）が流れるような電位が保持される。

【0141】

次に、第2の期間（時間 $3t_1 \sim 4t_1$ ）では、制御配線 B_j の電位をHighとして、スイッチ用TFT24をON状態とする。この結果、第2コンデンサ25の第2端子は、スイッチ用TFT24、14'を通じて駆動用TFT11のドレイン端子と接続される。

【0142】

このとき、電源配線 V_s から駆動用TFT11、スイッチ用TFT14'、ソース配線 S_j を通して電流出力端 I_j より所望の電流が流される。これにより、上記第2の期間では、駆動用TFT11の閾値電圧・移動度に依らず、駆動用TFT11のソース・ドレイン間電位を概ね一定とした状態で、駆動用TFT11に所望の電流を流すようそのゲート・ソース間電位を設定できる。

【0143】

この第2の期間での駆動用TFT11のソース・ゲート間電位は、その後、時間 $4t_1$ で、制御配線 B_j の電位をLowとし、スイッチ用TFT24をOFF状態とすることで、第2コンデンサ25に保持される。

【0144】

その後、時間 $5t_1$ で、ゲート配線 G_i の電位をLowとしてスイッチ用TFT15をOFF状態とすることで第1コンデンサ12と信号配線 T_j との電氣的接続を遮断し、このときの信号配線 T_j の電位を第1コンデンサ12へ保持する。同時に、スイッチ用TFT14'をOFF状態とすることで駆動用TFT11のドレイン端子とソース配線 S_j との電氣的接続を遮断すると共に、スイッチ用TFT13をON状態として、駆動用TFT11から有機EL素子16へ電流を流す状態とする。

【0145】

以上で、画素回路 A_{ij} の選択期間が終わり、次の画素回路 $A_{(i+1)j}$ の選択期間になる。

【0146】

上記図 11 に示す画素回路構成およびソースドライバ回路の出力端回路構成を用いて、有機 EL 素子 16 を流れる電流値をシミュレーションで求めた結果を図 13 に示す。

【0147】

図 13 におけるシミュレーションでは、0.55ms 毎に選択期間が来るよう設定し、最初の時間 0.06ms ~ 0.61ms の間でソース配線 S_j へ電流値 0.1 μ A が流れるよう設定した。それ以降は時間 0.55ms 毎に、ソース配線 S_j へ流れる電流値を 0.1 μ A 刻みで 0.9 μ A まで増加させ、その後 0 に戻し、再度 0.1 μ A 刻みで増加させている。

【0148】

本実施の形態 3 に係るシミュレーション結果と従来の技術で示した図 25 のシミュレーション結果とを比較すれば判る通り、本実施の形態 3 のように画素回路 A_{ij} における制御配線を減らした構成でも、駆動用 TFT 11 の閾値電圧・移動度のばらつきの影響を弱め、非選択期間に有機 EL 素子 16 に流れる電流値のばらつきを抑えることができる。

【0149】

また、本実施の形態 3 に係る図 11 の画素回路構成と実施の形態 2 で示した図 8 の画素回路構成とを比較すれば判る通り、本実施の形態 3 では制御配線 G_i が 1 本だけで済むので、ボトムエミッション構成 (TFT 素子を形成した透明基板側に光を放出する構成) の表示装置において、画素当たり配置できる有機 EL 素子の面積をより大きくでき、有機 EL 素子の輝度半減寿命を延ばすことができるので好ましい。

【0150】

〔実施の形態 4〕

本実施の形態 4 では、本発明に係る特徴的構成をソースドライバ回路において適用した場合の例について説明する。

【0151】

本実施の形態3に係る表示装置において、ソースドライバ回路の出力段である電流出力回路F_jの構成を図14に示す。上記電流出力回路F_jにおける出力端子I_jは、例えば、図1に示すソース配線S_jや、図8および図11に示す電流出力端I_jへ接続されるものである。

【0152】

上記電流出力回路F_jは、アクティブ素子である駆動用TFT31のゲート端子（電流制御端子）に第1コンデンサ32および第2コンデンサ33の一方の端子（第1端子とする）が接続された構成である。また、第1コンデンサ32におけるもう一方の端子（第2端子とする）および駆動用TFT31のドレイン端子（電流入力端子）は共通電極V_{com}に接続されている。

【0153】

この駆動用TFT31のゲート端子とTFTのソース端子（電流出力端子）との間には、スイッチ用TFT34およびスイッチ用TFT35が直列に配置されている。

【0154】

また、第2コンデンサ33のもう一方の端子（第2端子とする）と定電圧線V_bの間にはスイッチ用TFT36が配置され、第2コンデンサ33の第2端子と駆動用TFT31のソース端子との間にはスイッチ用TFT37とスイッチ用TFT35とが直列に配置されている。

【0155】

さらに、電流出力回路F_jの出力端子I_jと駆動用TFT31のソース端子の間にはスイッチ用TFT38が配置されている。

【0156】

このスイッチ用TFT34, 36のゲート端子には制御配線DC_jが接続され、スイッチ用TFT37, 35, 38のゲート端子には制御配線DP_j, DW_j, DR_jがそれぞれ接続されている。

【0157】

上記表示装置のソースドライバ回路における電流出力回路F_jにおける動作を

、制御配線DRj, DWj, DCj, DPj, および共通電流配線Icomの動作タイミングを示す図15を参照して以下に説明する。

【0158】

本実施の形態4に係る駆動方法では、電流設定期間である時間 $t_1 \sim 5t_1$ の間に、制御配線DRjの電位をLowとしてスイッチ用TFT38をOFF状態とし、制御配線DWjの電位をHighとしてスイッチ用TFT35をON状態とする。

【0159】

そして、第1の期間（時間 $t_1 \sim 2t_1$ ）では、制御配線DCjの電位をHighとして、スイッチ用TFT34, 36をON状態とする。この結果、駆動用TFT31のゲート端子とソース端子とは、スイッチ用TFT34, 35を通じて電氣的に接続される。また、第2コンデンサ33の第2端子は、スイッチ用TFT36を通じて定電圧線Vbへ接続される。このとき、共通電流配線Icomからスイッチ用TFT35, 駆動用TFT31を通して共通電極Vcomへ一定電流を流す。

【0160】

そして、上記第1の期間での共通電流配線Icomの電位を第1コンデンサ32および第2コンデンサ33を用いて保持するため、時間 $2t_1$ において制御配線DCjの電位をLowとし、スイッチ用TFT34, 36をOFF状態とする。

【0161】

このとき、第1コンデンサ32および第2コンデンサ33により、駆動用TFT31のゲートでは、該駆動用TFT31の閾値電圧・移動度を補償し、駆動用TFT31のソース・ドレイン間電位が $Vb - Vcom$ のとき、先の一定電流（上記第1の期間で駆動用TFT31のソース・ドレイン間に流れた電流）が流れるような電位が保持される。

【0162】

次に、第2の期間（時間 $3t_1 \sim 4t_1$ ）では、制御配線DPjの電位をHighとして、スイッチ用TFT37をON状態とする。この結果、第2コンデン

サ 33 の第 2 端子は、駆動用 T F T 31 のソース端子とスイッチ用 T F T 37, 35 を通じて接続される。このとき、共通電流配線 I c o m からスイッチ用 T F T 35, 駆動用 T F T 31 を通じて共通電極 V c o m へ所望の電流が流される。

【0163】

これにより、上記第 2 の期間では、駆動用 T F T 31 の閾値電圧・移動度に依らず、駆動用 T F T 31 のソース・ドレイン間電位を概ね一定とした状態で、駆動用 T F T 31 に所望の電流を流すようゲート・ドレイン間電位が設定できる。

【0164】

この第 2 の期間での駆動用 T F T 31 のゲート・ドレイン間電位は、時間 $4t_1$ で、制御配線 D P j の電位を L o w とし、スイッチ用 T F T 37 を O F F 状態とすることで、第 1 コンデンサ 32 および第 2 コンデンサ 33 に保持される。

【0165】

その後、時間 $5t_1$ で、制御配線 D W j の電位を L o w としてスイッチ用 T F T 35 を O F F 状態とし、共通電流配線 I c o m と駆動用 T F T 31 のソース端子との電氣的接続を遮断する。さらに、制御配線 D R j の電位を H i g h としてスイッチ用 T F T 38 を O N 状態とすることで、電流出力端子 I j から駆動用 T F T 31 へ所望の電流を流す状態とする。

【0166】

以上で、この電流出力回路 F j の選択期間が終わり、次の電流出力回路 F j + 1 の電流設定期間となる。

【0167】

上記電流出力回路 F j の選択期間において、駆動用 T F T 31 の閾値電圧・移動度を以下の表 2 の条件で変化させ、駆動用 T F T 31 のソース・ドレイン間電圧 V s d とゲート・ドレイン間電圧 V g d とをシミュレーションした結果を図 16 に示す。

【0168】

【表 2】

	Ioled(1)	Ioled(2)	Ioled(3)	Ioled(4)	Ioled(5)
	Vgd(1)	Vgd(2)	Vgd(3)	Vgd(4)	Vgd(5)
	Vsd(1)	Vsd(2)	Vsd(3)	Vsd(4)	Vsd(5)
閾値電圧	平均値	上限	下限	上限	下限
移動度	平均値	上限	下限	下限	上限

【0169】

図16では、時間0.61～0.62msが上記第1の期間に相当する。図16から判るとおり、この期間では駆動用TF T 31のソース・ドレイン間電位 $V_{sd}(1) \sim (5)$ とソース・ゲート間電位 $V_{sg}(1) \sim (5)$ とは一致している。

【0170】

また、図16では、時間0.63～0.64msが上記第2の期間に相当する。図16から判るとおり、この期間では駆動用TF T 31のソース・ドレイン間電位 V_{sd} は、駆動用TF Tの閾値電圧・移動度の条件の違いに依らず、ほぼ同じ値となっている。

【0171】

すなわち、上記第2の期間では、共通電流配線Icomからスイッチ用TF T 35、駆動用TF T 31を通じて共通電極Vcomへ所望の電流を流すので、駆動用TF Tの閾値電圧・移動度のばらつきに依らず、駆動用TF T 31のソース・ドレイン間電位が一定となる条件で駆動用TF T 31のゲート・ドレイン間電位 V_{gd} を設定できる。

【0172】

この結果、駆動用TF T 31の閾値電圧・移動度に依らず、駆動用TF T 31のソース・ドレイン間電位が等しければ、概ね一定の電流を流すことができる電流出力回路が実現できる。

【0173】

その後、電流出力回路 F_j の読み出し期間となるが、図 16 のシミュレーションでは、この電流出力端子 I_j と電源配線 V_s との間に有機 EL 素子の代わりに抵抗を配置したが駆動用 TFT 31 の出力電流値がほぼ一定であるため、この読み出し期間で駆動用 TFT 31 のソース・ドレイン間電圧 V_{sd} は、ほぼ一定となる。

【0174】

このとき、上記表 2 に示した 5 つの駆動用 TFT 31 の閾値電圧・移動度条件を用いて駆動用 TFT 31 の電流値ばらつきをシミュレーションした結果を図 17 に示す。

【0175】

図 17 におけるシミュレーションでは、0.55ms 毎に選択期間が来るよう設定し、最初の時間 0.06ms ~ 0.65ms の間でソース配線 S_j へ電流値 0.1 μ A が流れるよう設定した。それ以降は時間 0.55ms 毎に、ソース配線 S_j へ流れる電流値を 0.1 μ A 刻みで 0.9 μ A まで増加させ、その後 0 に戻し、再度 0.1 μ A 刻みで増加させている。

【0176】

図 17 のシミュレーション結果から判る通り、本実施の形態 4 に係るソースドライバ回路を用いれば、駆動用 TFT 31 の閾値電圧・移動度のばらつきによる、駆動用 TFT 31 を流れる電流値のばらつきを抑える（図 17 の時間 3.6ms で電流値のばらつきは 1.05 ~ 1.15 μ A の範囲、即ち 9% のばらつき範囲に収まっているので）効果がある。

【0177】

特に、出力電流が 0.8 μ A までは駆動用 TFT 31 の閾値電圧・移動度のばらつきに依らず、ほぼ均一な電流値が得られている。

【0178】

ところで、本発明の特徴的構成をソースドライバ回路として用いる場合、さらにその構成を画素回路においても本発明の特徴的構成を用いることが好ましい。以下にその例を説明する。

【0179】

すなわち、図 14 のソースドライバ回路の電流出力端子 I j に実施の形態 1 で示した図 1 の画素回路を接続し、その効果をシミュレーションにより調べてみた。

【0180】

まず、上記図 14 および図 1 に与える各制御端子の信号タイミングを図 18 のようにする。

【0181】

この駆動タイミングを用いて図 14 の駆動用 TFT 31 のソース・ドレイン間電位 V_{sd} とソース・ゲート間電位 V_{sg} をシミュレーションで調べた結果を図 19 に示す。

【0182】

図 19 においては、時間 0.61 ~ 0.65 ms が図 14 のソースドライバ回路の駆動用 TFT 31 の電流設定期間に相当し、時間 0.70 ~ 0.75 ms が図 1 の画素回路の選択期間に相当する。

【0183】

また、時間 0.61 ~ 0.62 ms がソースドライバ回路の駆動用 TFT 31 の第 1 の期間に相当するが、この時、駆動用 TFT 31 のソース・ドレイン間電位 V_{sd} とゲート・ドレイン間電位 V_{gd} とは一致している。

【0184】

次に、時間 0.63 ~ 0.64 ms がソースドライバ回路の駆動用 TFT 31 の第 2 の期間に相当するが、この時、駆動用 TFT 31 のソース・ドレイン間電位 V_{sd} は、駆動用 TFT 31 の閾値電圧・移動度に依らず一致する。

【0185】

次に、時間 0.71 ~ 0.72 ms が画素回路の第 1 の期間に相当する。このとき、ソースドライバ回路の駆動用 TFT 31 のソース・ドレイン間電位 V_{sd} が、画素回路の駆動用 TFT 1 の閾値電圧・移動度のばらつきによりばらついている。その結果、ソースドライバ回路の駆動用 TFT 31 の出力電流もばらつく。

【0186】

しかし、画素回路の第2の期間に相当する時間0.73～0.74msでは、画素回路の駆動用TFT1の閾値電圧・移動度に依らず、ソースドライバ回路の駆動用TFT31のソース・ドレイン間電位 V_{sd} が一致する。その結果、図20に示すように、画素回路に配置した有機EL素子6を流れる電流値のばらつきは抑えられる。

【0187】

このように本発明の特徴的構成部分は、ソースドライバ回路の電流出力回路として用いることもできるし、画素回路で用いることもできる。何れの回路構成で用いても、本発明は駆動用TFTの閾値電圧・移動度に依らず、駆動用TFTへ所望の電流を流す効果がある。

【0188】

また、図6のように有機EL素子の陽極側を共通電極 V_{com} に接続するときは、これと共に用いるソースドライバ回路側において、図21に示すように、用いるTFT31'および34'～38'をすべてp型TFTで構成することが好ましい。

【0189】

また、これら有機EL素子6を低分子有機ELで形成するときはマスク蒸着が必要であるが、高分子有機ELで形成するときはインクジェットプロセスが用いられる。後者の場合、疎水性のバンクを形成し、その中に駆動用TFT毎に対応した親水性の穴を形成するが、この穴は必ずしも1画素毎に別れている必要はなく、複数のRGB各色画素が共通の穴に配置させていても良い。特に、穴をストライプ状に形成し、その両端に液滴の受け皿を設ければ、RGBの画素ピッチに依らず、液滴受け皿のサイズを決められるので好ましい。

【0190】

【発明の効果】

本発明の表示装置は、以上のように、上記駆動用トランジスタの電流制御端子と電流出力端子との間に接続される第1スイッチ用トランジスタと、上記駆動用トランジスタの電流制御端子と電流入力端子との間に接続される第1コンデンサと、上記駆動用トランジスタの電流制御端子に一方の端子である第1端子が接続

され、もう一方の端子である第2端子は、駆動用トランジスタの電流出力端子との間に第2スイッチ用トランジスタを介して接続され、かつ定電圧線との間に第3スイッチ用トランジスタを介して接続されている第2コンデンサとを備えている構成である。

【0191】

それゆえ、画素回路やソースドライバ回路の選択期間中において、上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用トランジスタの電流入力端子－電流出力端子間電位がほぼ等しくなる駆動用トランジスタの電流制御端子電位を第1および第2のコンデンサに保持することができる。

【0192】

その後、上記画素回路やソースドライバ回路の非選択期間中において、上記駆動用トランジスタの電流入力端子－電流出力端子間電位は変化するが、その電位変化は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず一定なので、上記駆動用トランジスタの電流入力端子－電流出力端子間を流れる電流値のバラツキを抑えることができるといった効果を奏する。

【0193】

また、上記表示装置においては、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成を、各画素回路やソースドライバ回路毎に備えている構成とすることができる。

【0194】

それゆえ、画素回路を駆動するソースドライバ回路に、従来と同構成のものを使用できたり、本発明の画素回路に適したソースドライバ回路を構成できるといった効果を奏する。

【0195】

また、上記表示装置においては、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成は、一部が画素回路側、他の一部がソースドライバ回路側に配置される構成とすることができる。

【0196】

それゆえ、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成のすべてを画素回路側に配置する場合と比べ、画素回路当たりに必要なコンデンサ及びトランジスタの数の増加を抑制できる。このため、従来に比べて電流駆動発光素子の単位面積当たりの発光輝度を向上させる必要がなく、その輝度半減寿命の低下を回避できるといった効果を奏する。

【0197】

また、上記表示装置においては、画素回路側に、電流駆動発光素子、駆動用トランジスタ、および第1コンデンサを配置し、ソースドライバ側に、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタを配置すると共に、上記駆動用トランジスタの電流制御端子と、第2コンデンサの第1端子とを接続する接続配線を備えている構成とすることができる。

【0198】

また、上記表示装置においては、さらに、OFF電位を供給するOFF電位線を備えており、上記接続配線が、第4スイッチング用トランジスタを介してOFF電位線に接続されている構成とすることができる。

【0199】

それゆえ、暗状態となる画素に対して、その輝度を充分低くし、表示装置のコントラストを向上できるといった効果を奏する。

【0200】

また、本発明の他の表示装置は、以上のように、上記駆動用トランジスタの電流制御端子に第1コンデンサの一方の端子である第1端子が接続されており、上記画素回路の選択期間では、第1のコンデンサの第1端子に第2のコンデンサの一方の端子である第1端子が接続され、第1の期間において、第2コンデンサの他方端子である第2端子を定電圧線に接続し、上記駆動用トランジスタの電流制御端子と電流出力端子とを接続し、この時の上記駆動用トランジスタの電流制御端子電位を第1のコンデンサに保持し、第2の期間において、上記駆動用トラン

ジスタの電流制御端子と電流出力端子との接続を遮断し、第2コンデンサの第2端子の接続を上記定電圧線との接続から上記駆動用トランジスタの電流出力端子との接続に切り替え、上記アクティブ素子の電流制御端子電位を修正し、この時の上記駆動用トランジスタの電流制御端子電位を第1コンデンサおよび第2コンデンサに保持し、上記画素回路の非選択期間では、上記第1コンデンサに保持された駆動用トランジスタの電流制御端子電位によって、電流駆動発光素子の非選択期間における供給電流を制御する構成である。

【0201】

それゆえ、画素回路の選択期間中において、上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用トランジスタの電流入力端子ー電流出力端子間電位がほぼ等しくなる駆動用トランジスタの電流制御端子電位を第1および第2のコンデンサに保持することができる。

【0202】

その後、上記画素回路の非選択期間において、上記駆動用トランジスタの電流入力端子ー電流出力端子間電位は変化するが、その電位変化は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず一定なので、上記駆動用トランジスタの電流入力端子ー電流出力端子間を流れる電流値のバラツキを抑えることができるといった効果を奏する。

【図面の簡単な説明】

【図1】

本発明の一実施形態を示すものであり、実施の形態1に係る表示装置における画素回路の構成を示す回路図である。

【図2】

上記画素回路の制御配線における動作タイミングを示す波形図である。

【図3】

上記画素回路において、駆動用TFTのソースーゲート間電位およびソースードレイン間電位の変化に関するシミュレーション結果を示すグラフである。

【図4】

上記画素回路において、有機EL素子を流れる電流値のシミュレーション結果

を示すグラフである。

【図 5】

上記画素回路において、有機EL素子を流れる電流値のシミュレーション結果を示すグラフである。

【図 6】

実施の形態 1 に係る表示装置における画素回路の図 1 とは別の構成を示す回路図である。

【図 7】

実施の形態 2 に係る表示装置の構成を示す回路図である。

【図 8】

実施の形態 2 に係る表示装置における画素回路及びソースドライバ回路の構成を示す回路図である。

【図 9】

上記画素回路及びソースドライバ回路の制御配線における動作タイミングを示す波形図である。

【図 10】

上記画素回路において、有機EL素子を流れる電流値のシミュレーション結果を示すグラフである。

【図 11】

実施の形態 3 に係る表示装置における画素回路及びソースドライバ回路の構成を示す回路図である。

【図 12】

上記画素回路及びソースドライバ回路の制御配線における動作タイミングを示す波形図である。

【図 13】

上記画素回路において、有機EL素子を流れる電流値のシミュレーション結果を示すグラフである。

【図 14】

実施の形態 4 に係る表示装置におけるソースドライバ回路の構成を示す回路図

である。

【図 15】

上記ソースドライバ回路の制御配線における動作タイミングを示す波形図である。

【図 16】

上記ソースドライバ回路において、駆動用 T F T のソースゲート間電位およびソースドレイン間電位の変化に関するシミュレーション結果を示すグラフである。

【図 17】

上記ソースドライバ回路において、駆動用 T F T のソースドレイン間を流れる電流値のシミュレーション結果を示すグラフである。

【図 18】

図 14 に示すソースドライバ回路と図 1 に示す画素回路を組み合わせた場合の表示装置において、各制御配線における動作タイミングを示す波形図である。

【図 19】

図 14 に示すソースドライバ回路と図 1 に示す画素回路を組み合わせた回路構成において、ソースドライバ回路の駆動用 T F T のソースゲート間電位およびソースドレイン間電位の変化に関するシミュレーション結果を示すグラフである。

【図 20】

図 14 に示すソースドライバ回路と図 1 に示す画素回路を組み合わせた回路構成において、画素回路の有機 E L 素子を流れる電流値のシミュレーション結果を示すグラフである。

【図 21】

実施の形態 4 に係る表示装置におけるソースドライバ回路の図 14 とは別の構成を示す回路図である。

【図 22】

従来の表示装置における画素回路の構成例を示す回路図である。

【図 23】

従来の表示装置における画素回路の他の構成例を示す回路図である。

【図 24】

上記従来の画素回路の制御配線における動作タイミングを示す波形図である。

【図 25】

上記従来の画素回路において、有機 EL 素子を流れる電流値のシミュレーション結果を示すグラフである。

【図 26】

上記従来の画素回路において、有機 EL 素子を流れる電流値のシミュレーション結果を示すグラフである。

【図 27】

上記従来の画素回路において、駆動用 TFT のソース・ゲート間電位およびソース・ドレイン間電位の変化に関するシミュレーション結果を示すグラフである。

【図 28】

駆動用 TFT において、ソース・ドレイン間電圧 V_{sd} と、ソース・ドレイン間を流れる電流値の関係を示すグラフである。

【図 29】

駆動用 TFT と有機 EL 素子を直列に接続した回路構成を示す回路図である。

【図 30】

図 29 の回路を用い、非選択期間での駆動用 TFT のソース・ドレイン間電流のばらつきを、シミュレーションにて調べた場合の結果を示すグラフである。

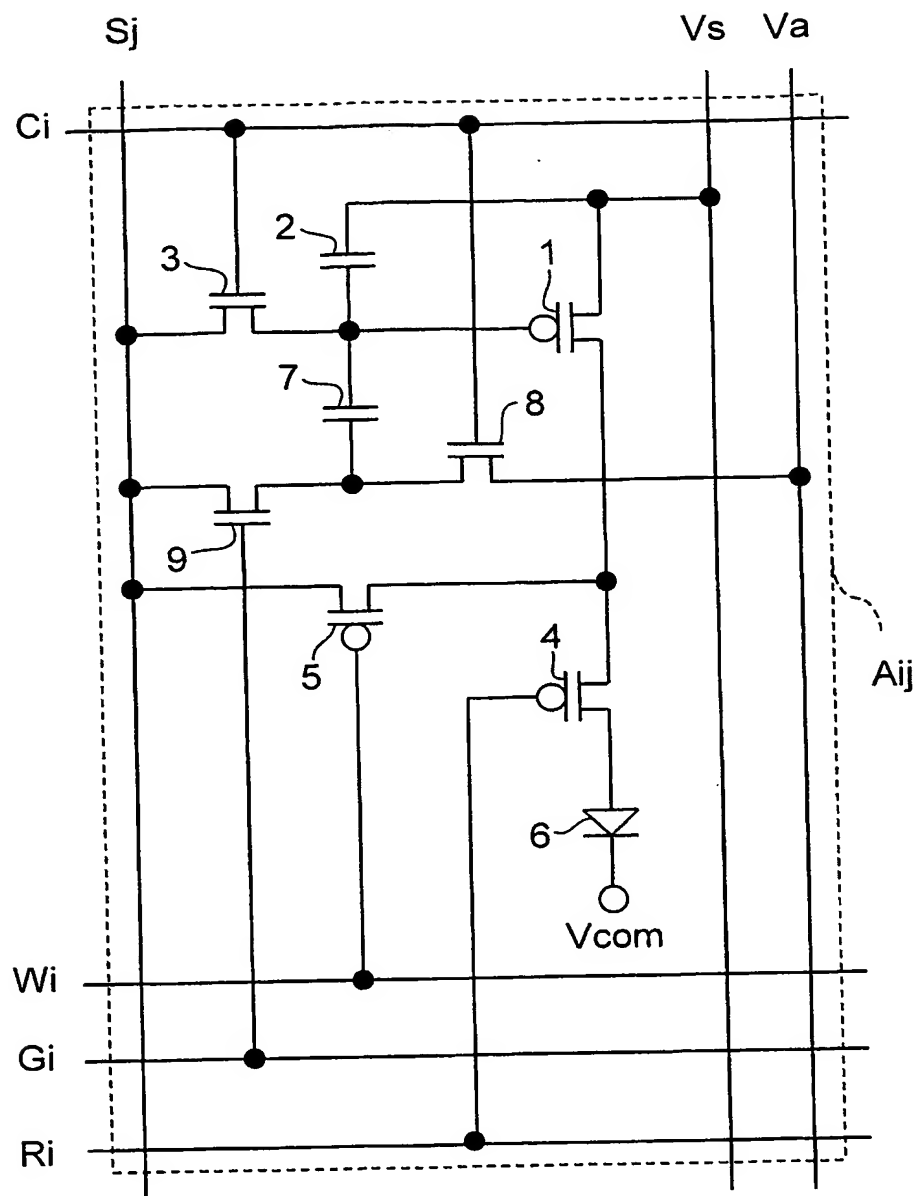
【符号の説明】

- 1、1'、11 駆動用 TFT (駆動用トランジスタ)
- 2、12 第 1 コンデンサ
- 3、22 スイッチ用 TFT (第 1 スイッチ用トランジスタ)
- 6、6' 有機 EL 素子 (電流駆動発光素子)
- 7、25 第 2 コンデンサ
- 8、23 スイッチ用 TFT (第 3 スイッチ用トランジスタ)
- 9、24 スイッチ用 TFT (第 2 スイッチ用トランジスタ)

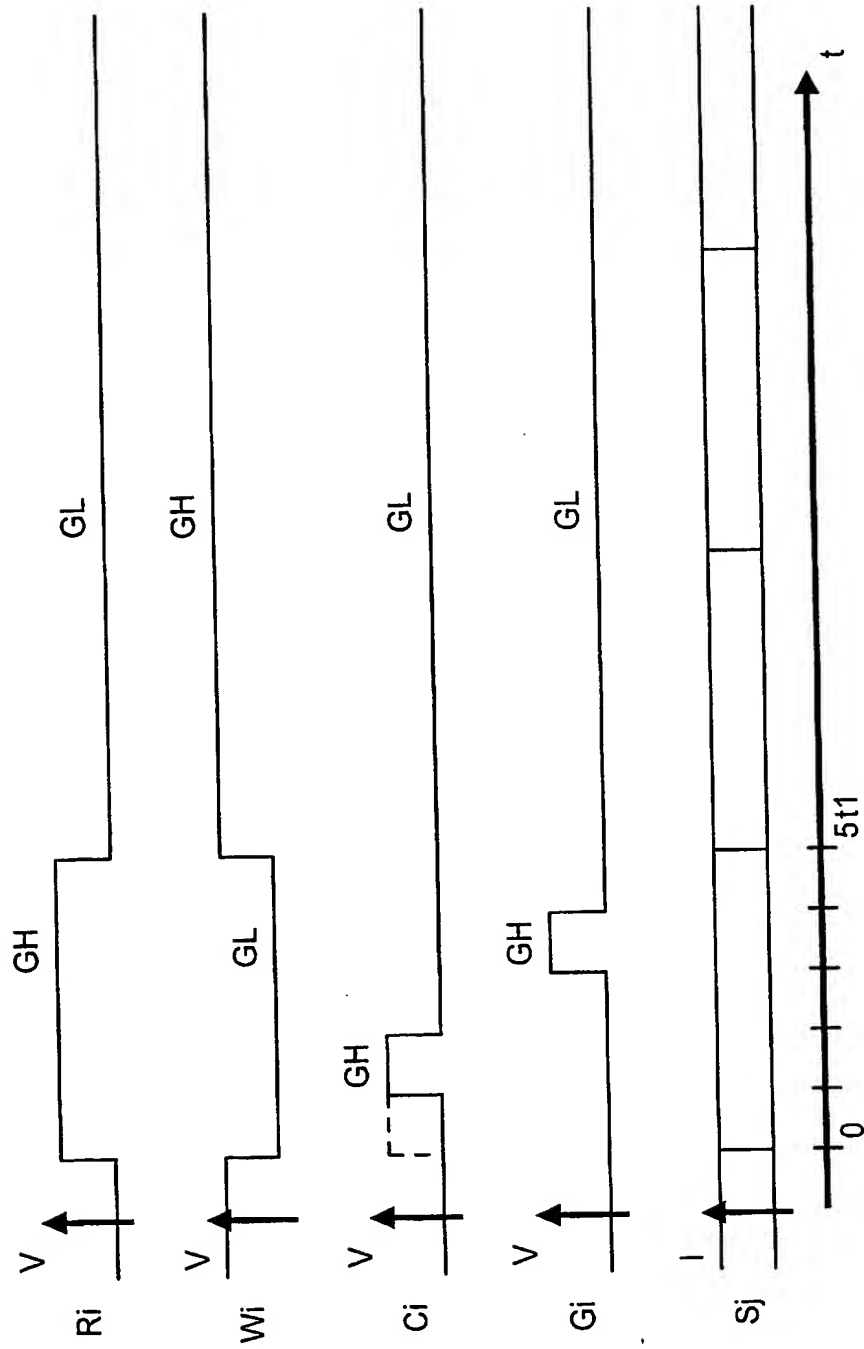
- 2 1 スイッチ用 T F T （第 4 スイッチ用トランジスタ）
- V a 定電圧線
- A i j 画素回路
- D j 出力端回路（ソースドライバ回路）
- T j 接続配線

【書類名】 図面

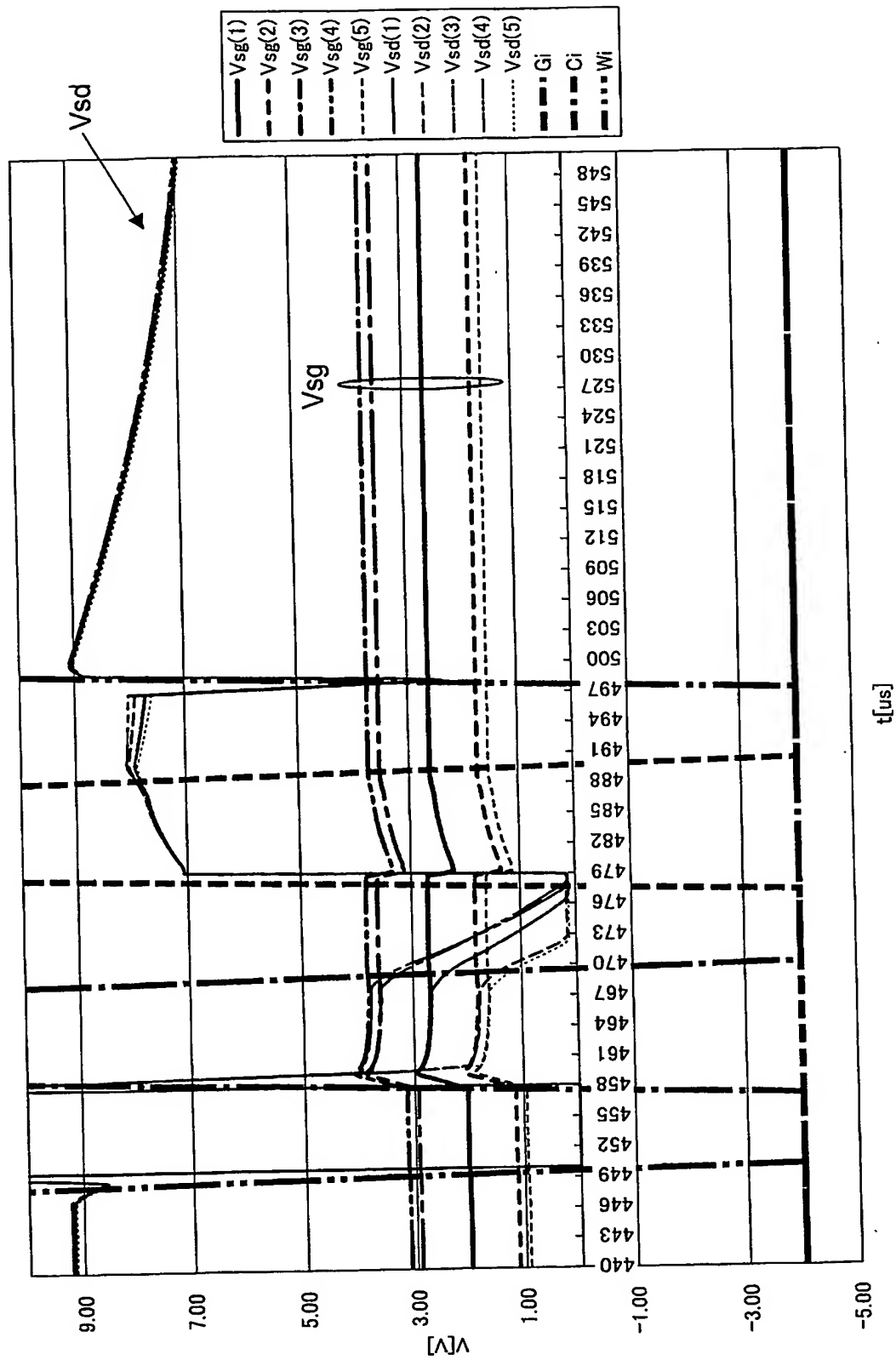
【図 1】



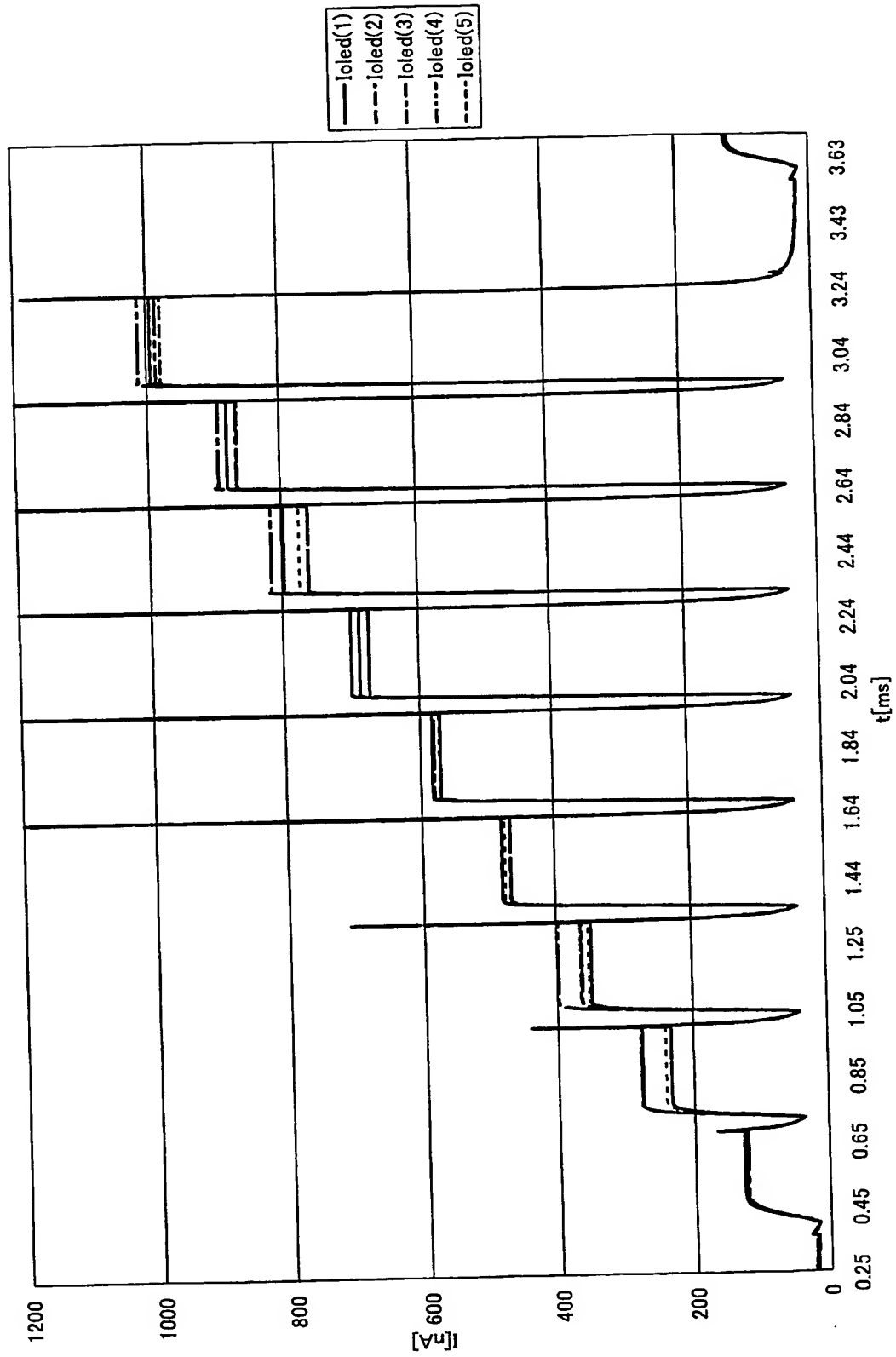
【図 2】



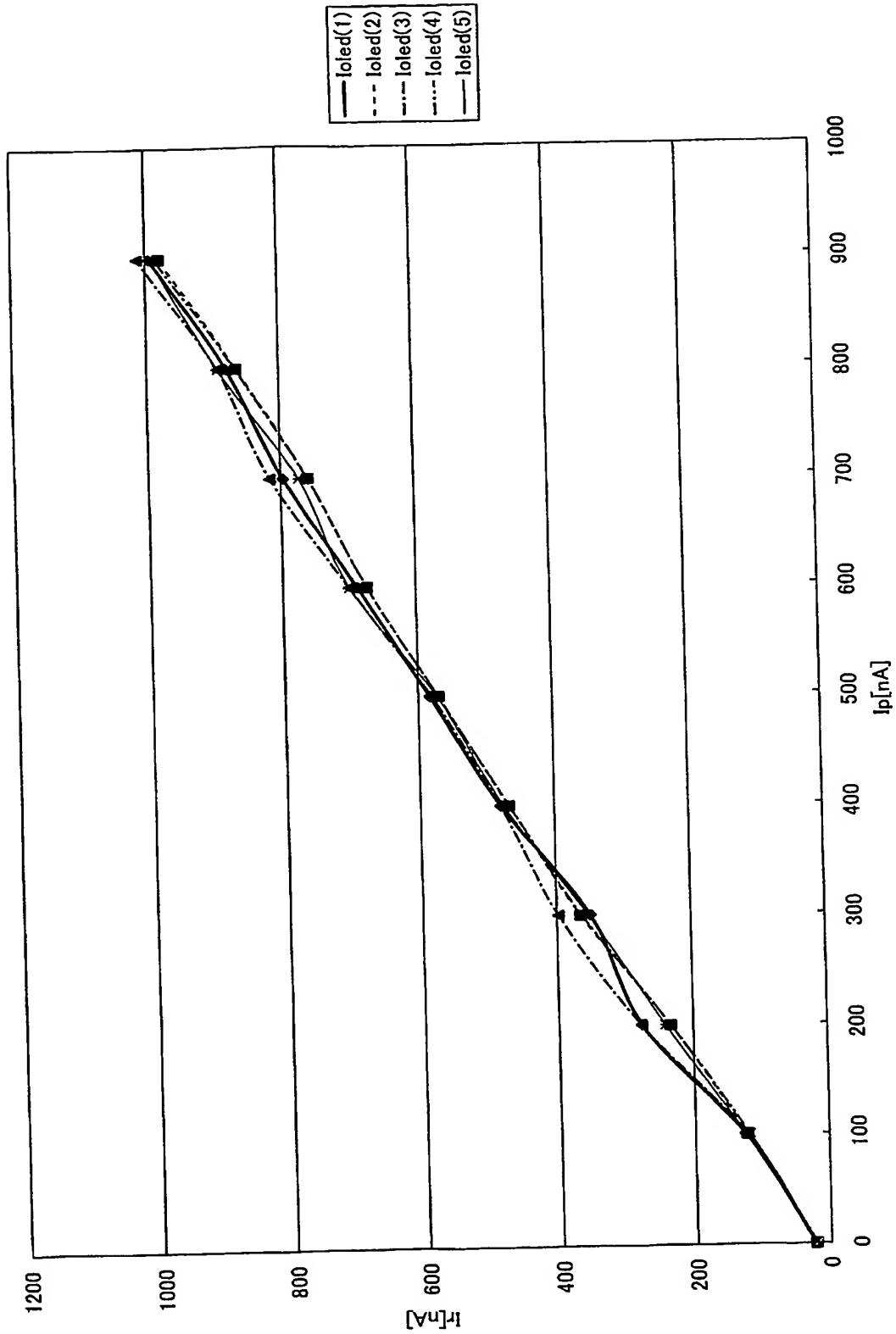
【図 3】



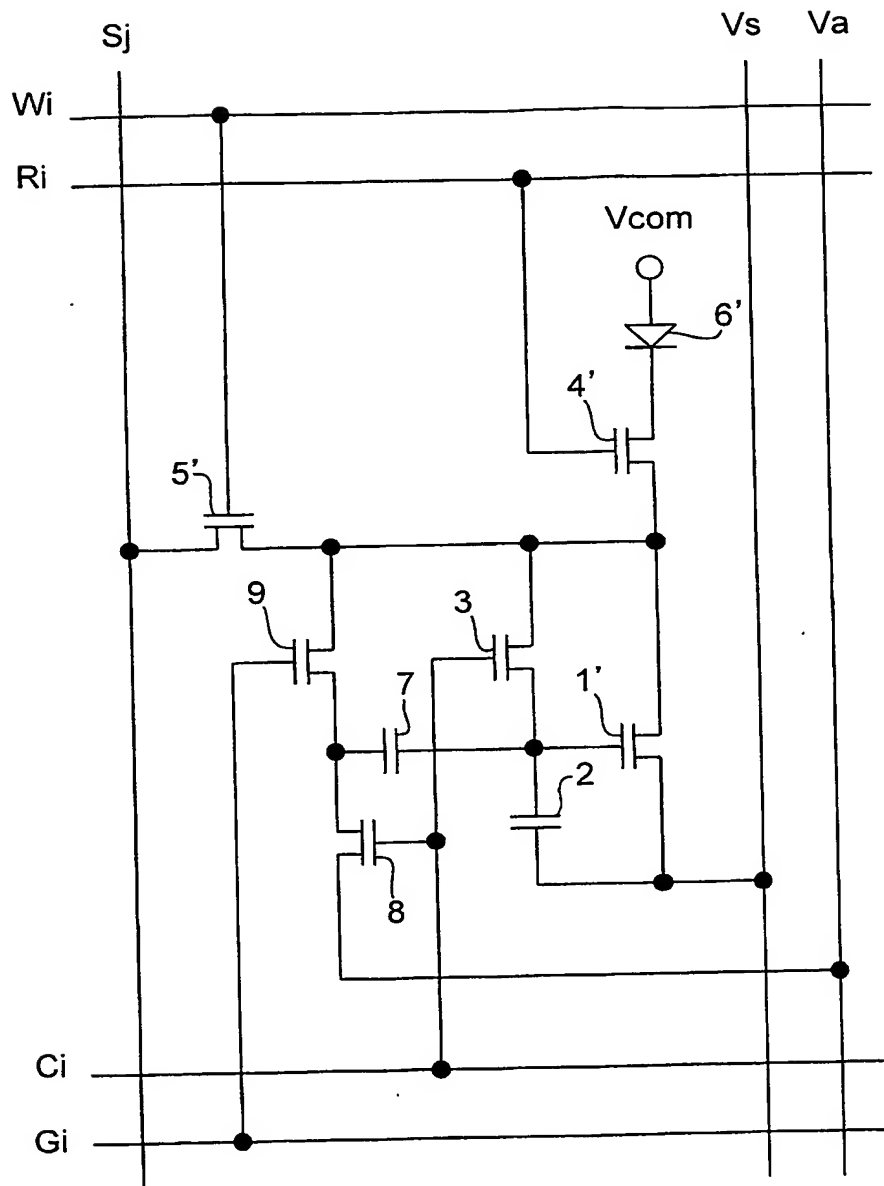
【図 4】



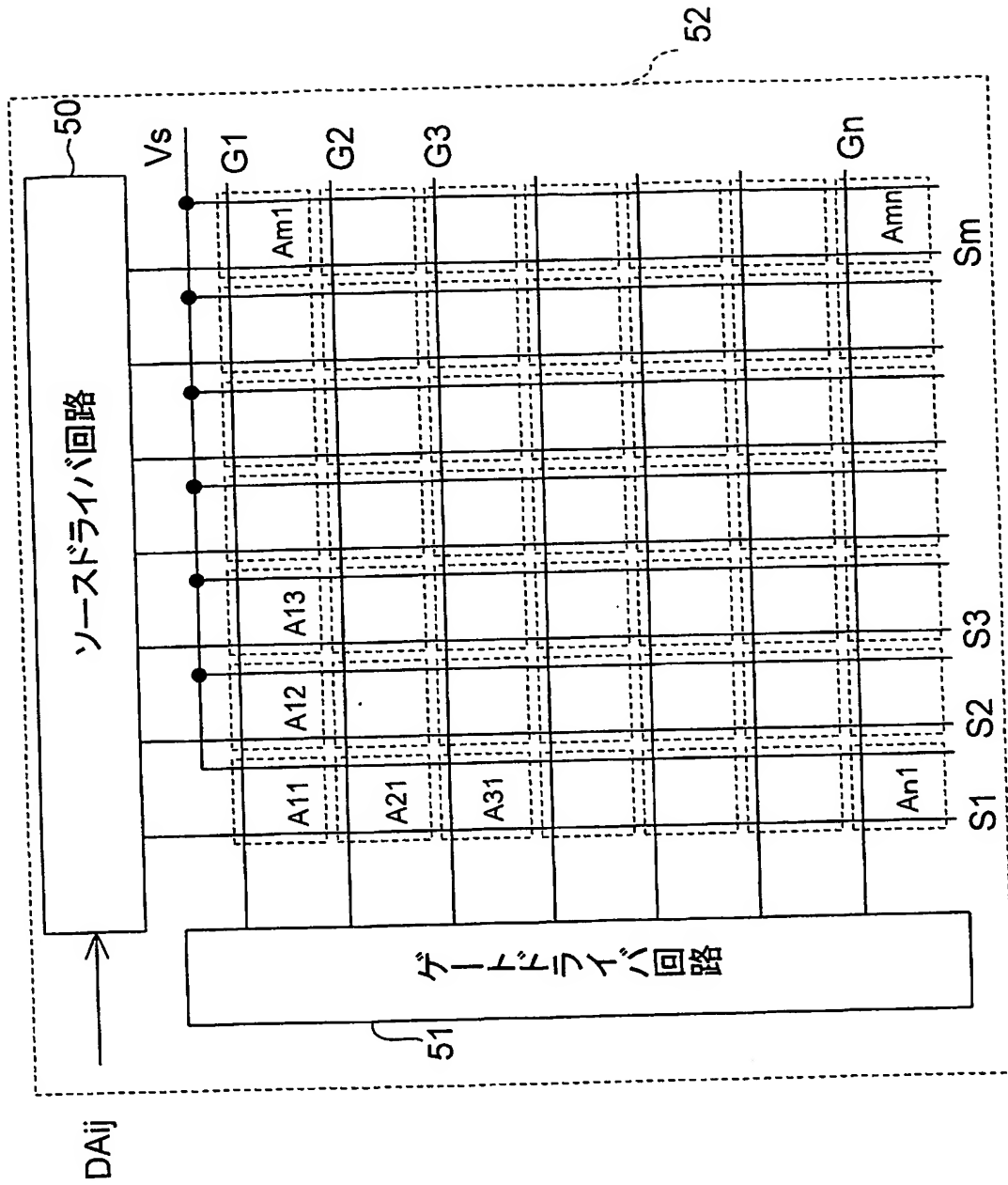
【図 5】



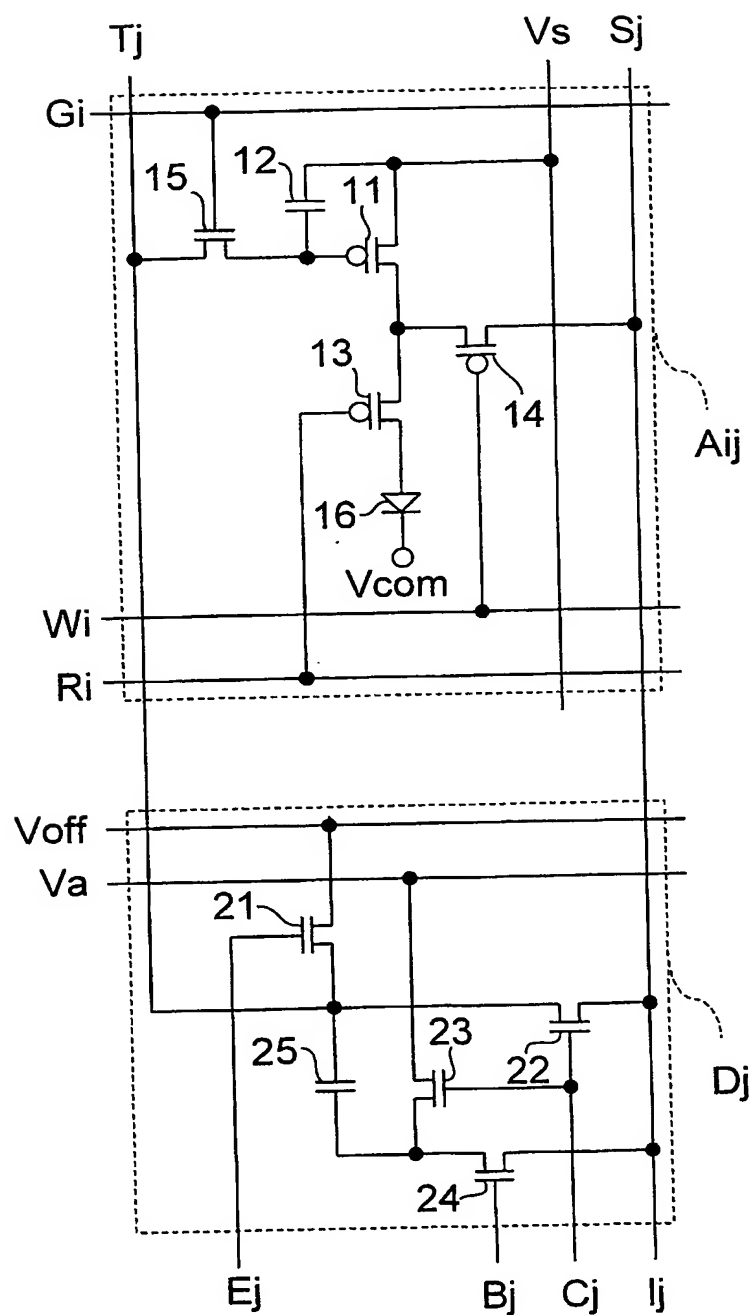
【図 6】



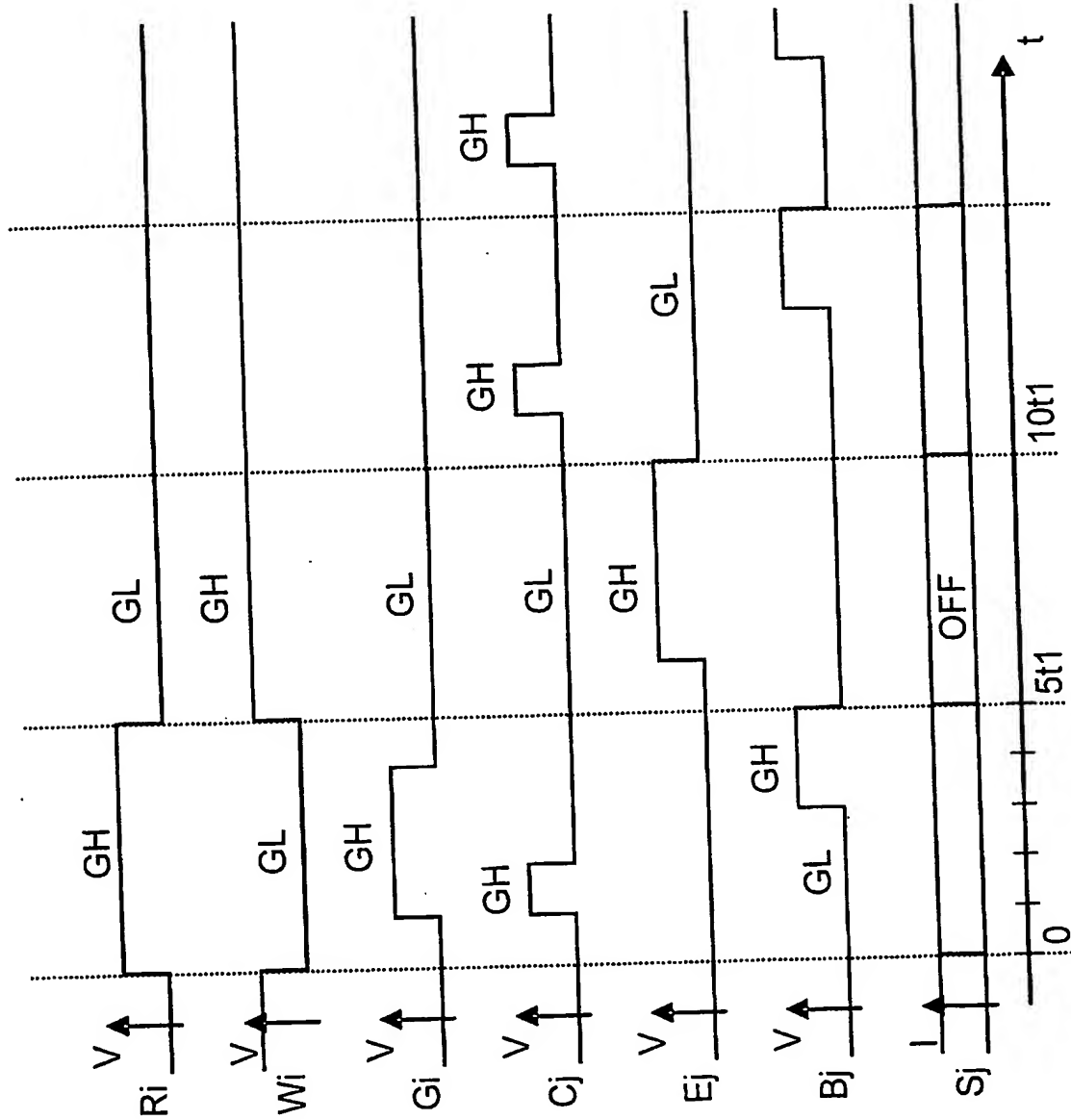
【図 7】



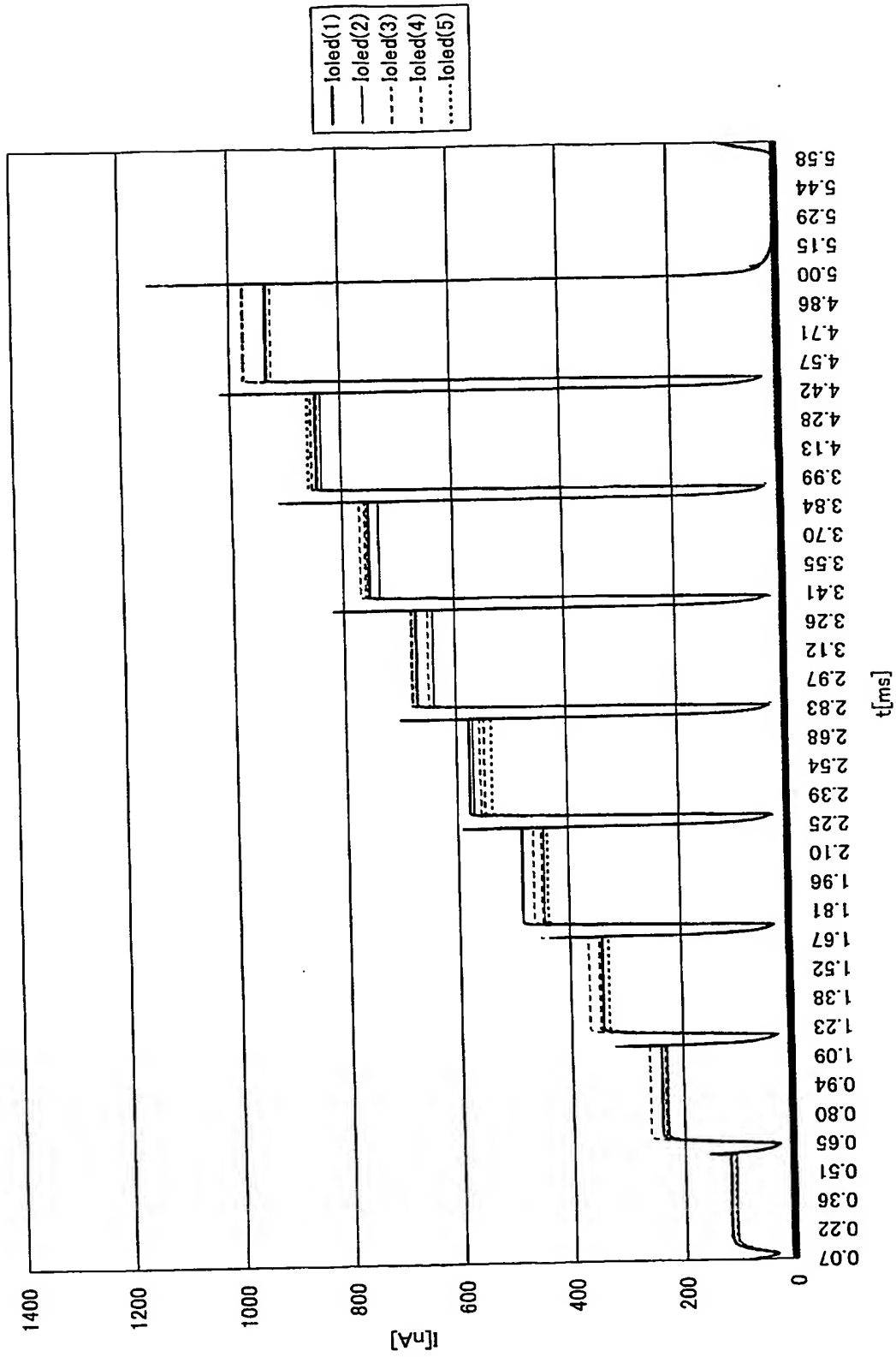
【図 8】



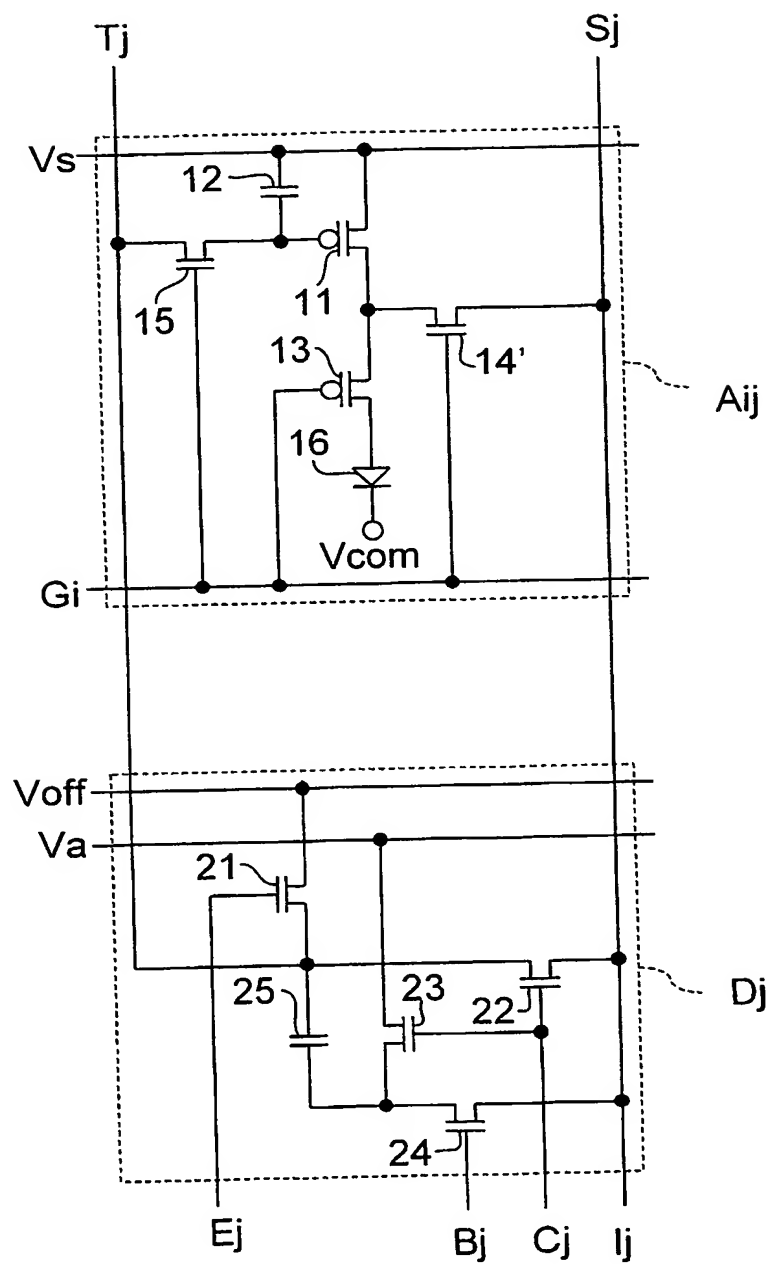
【図 9】



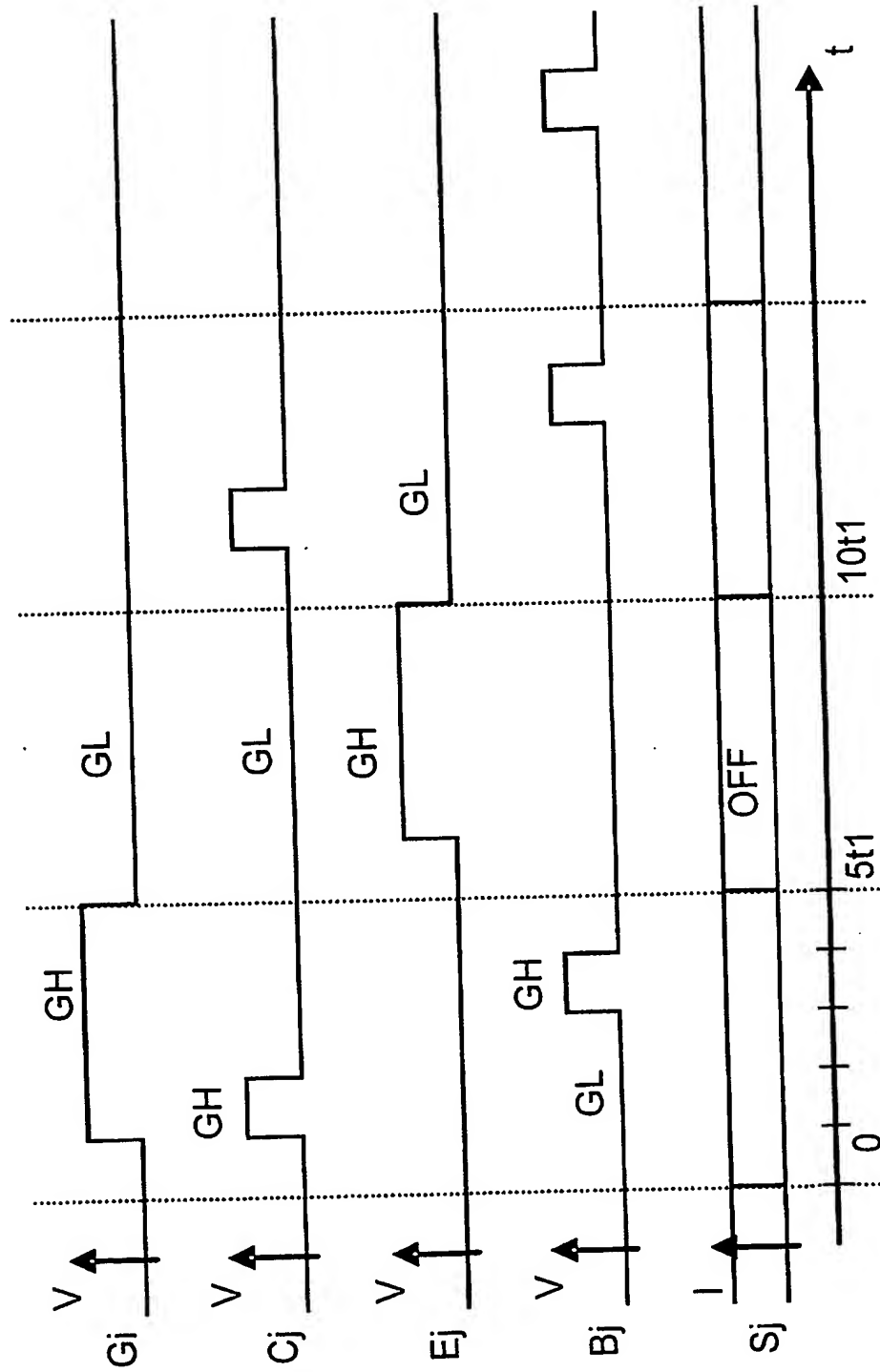
【図 10】



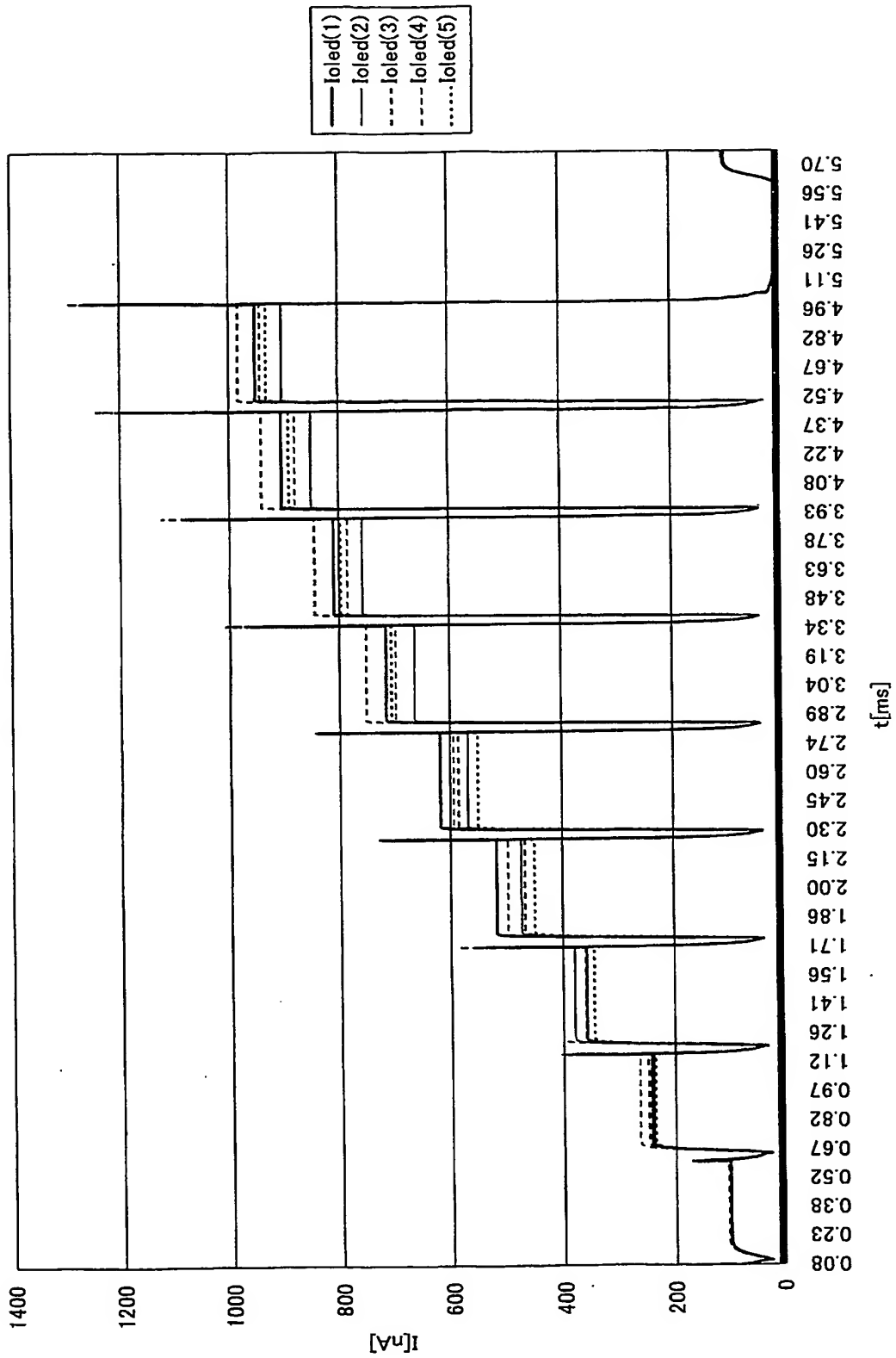
【図 11】



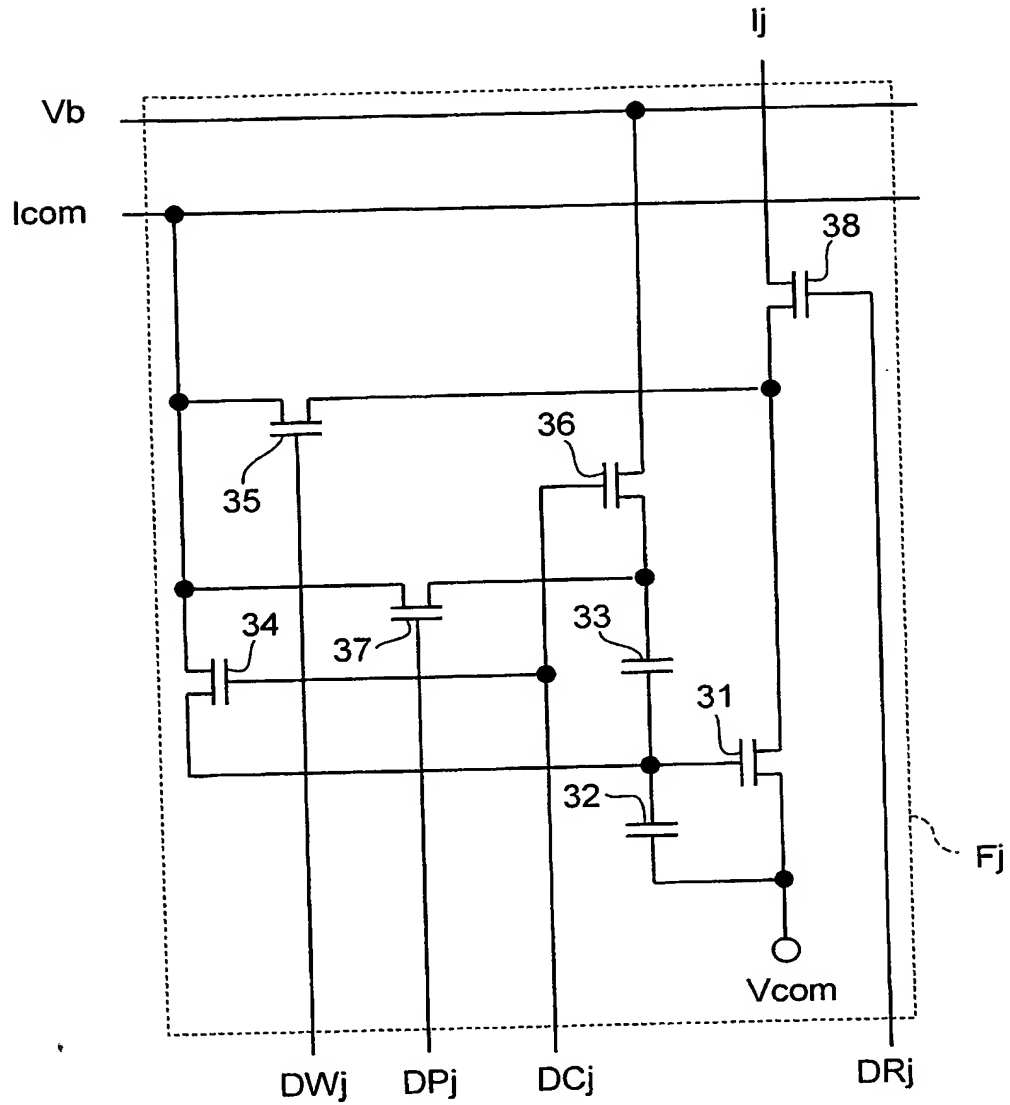
【図 12】



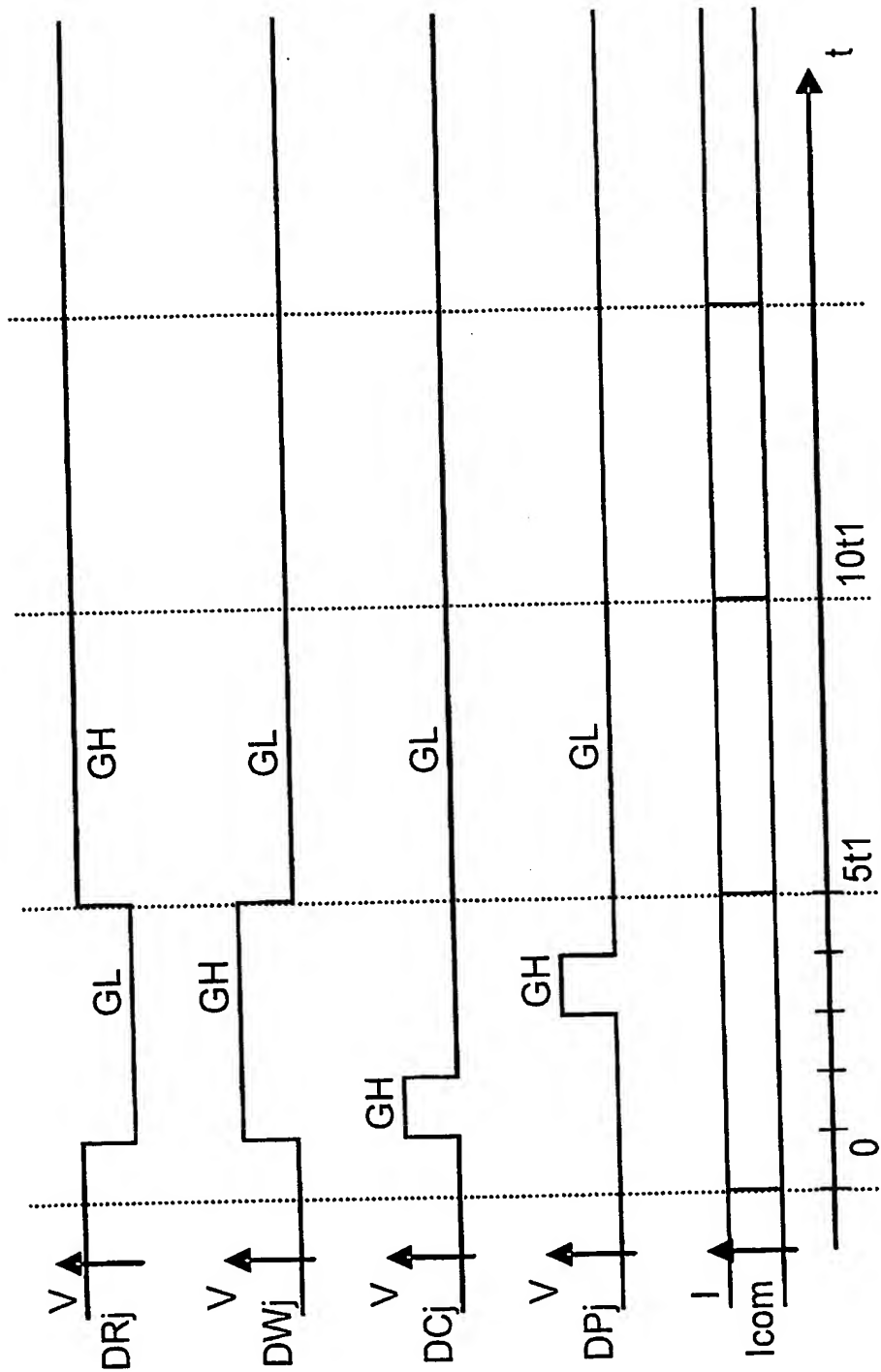
【図 13】



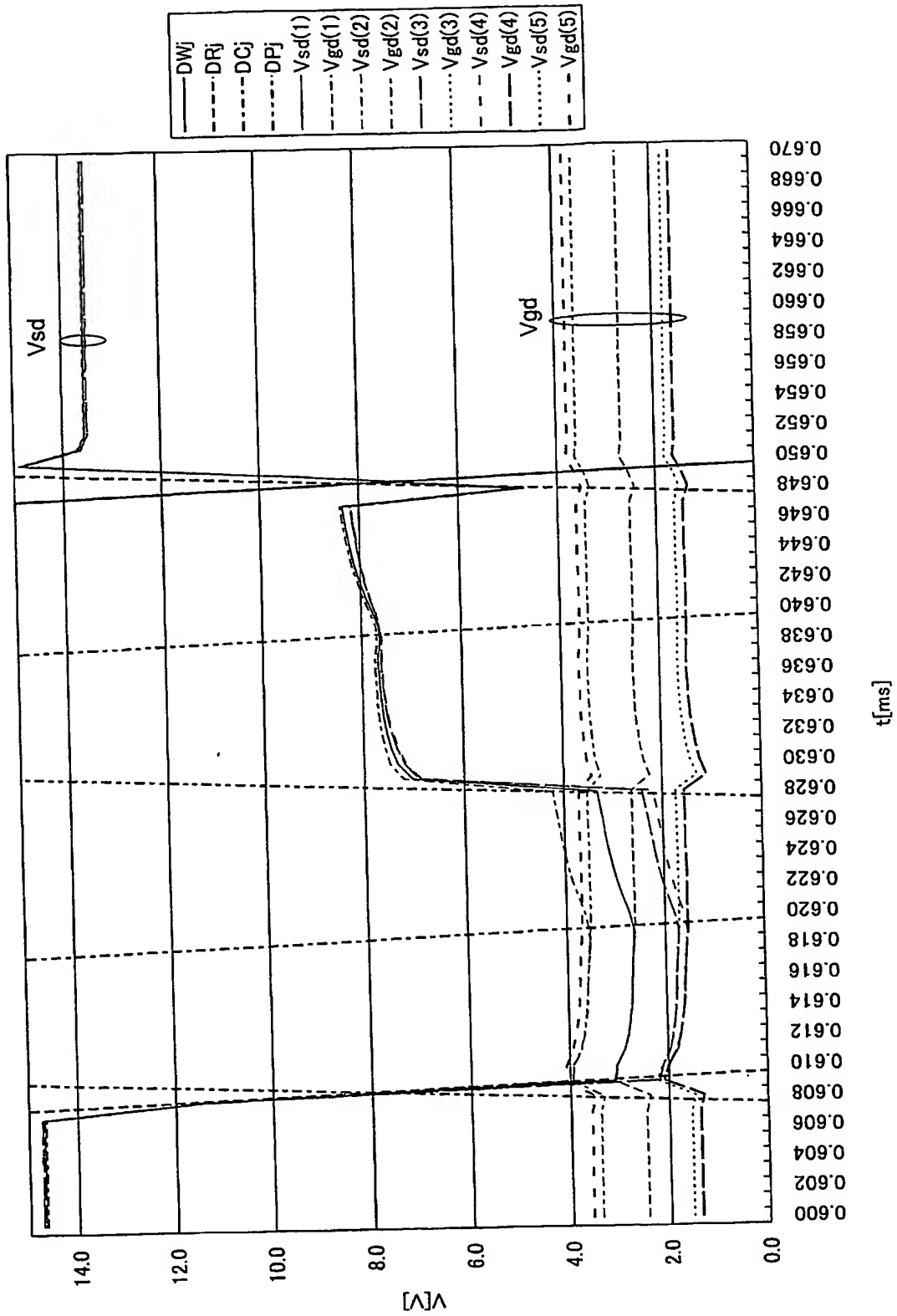
【図 14】



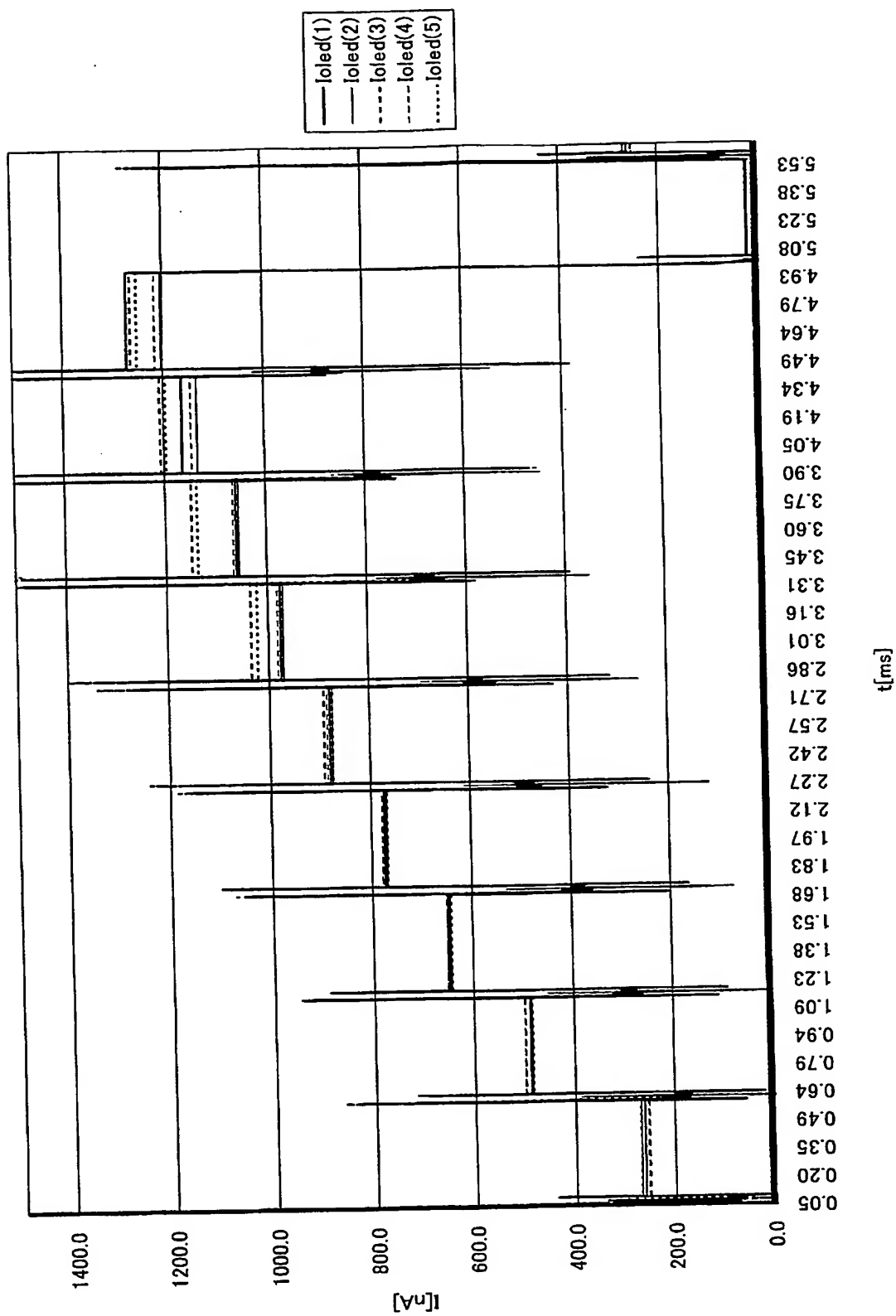
【図 15】



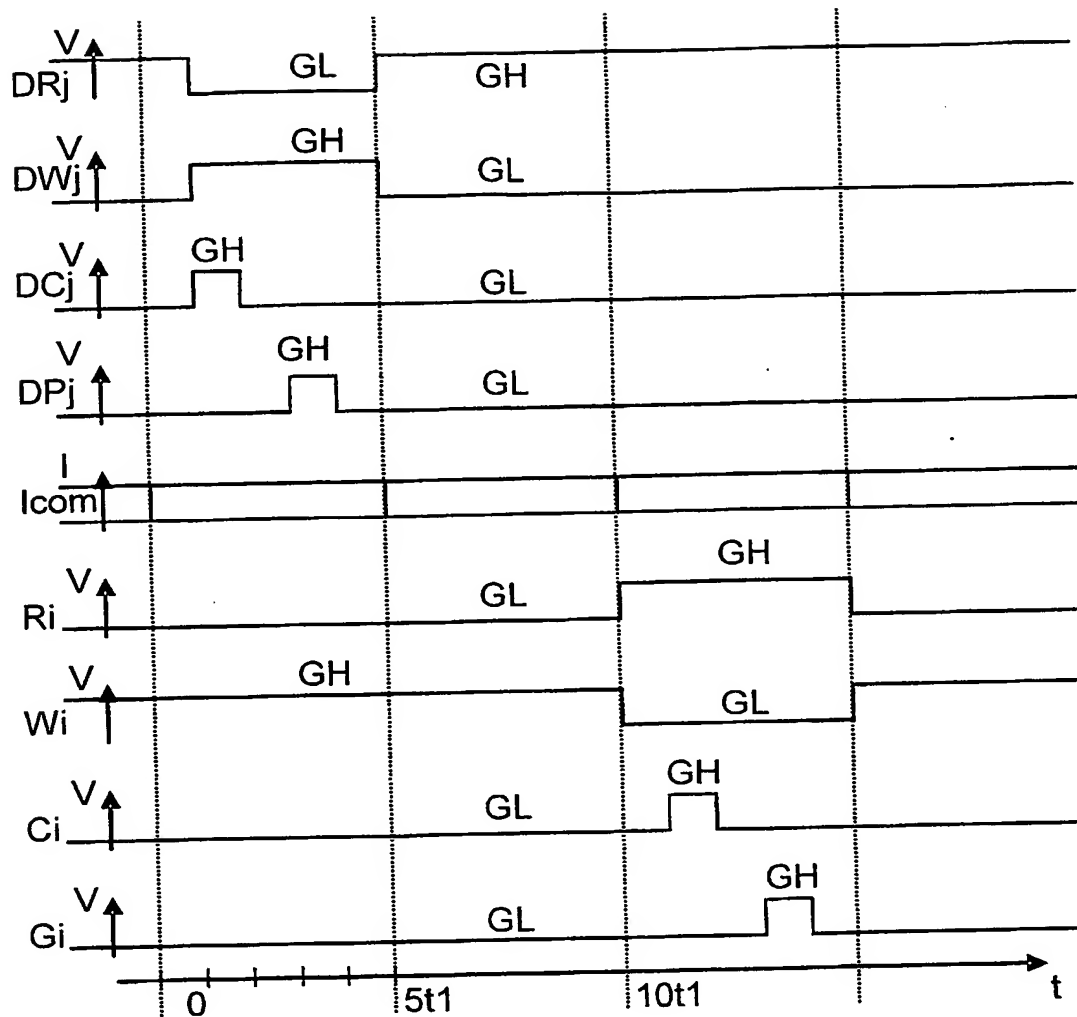
【図 16】



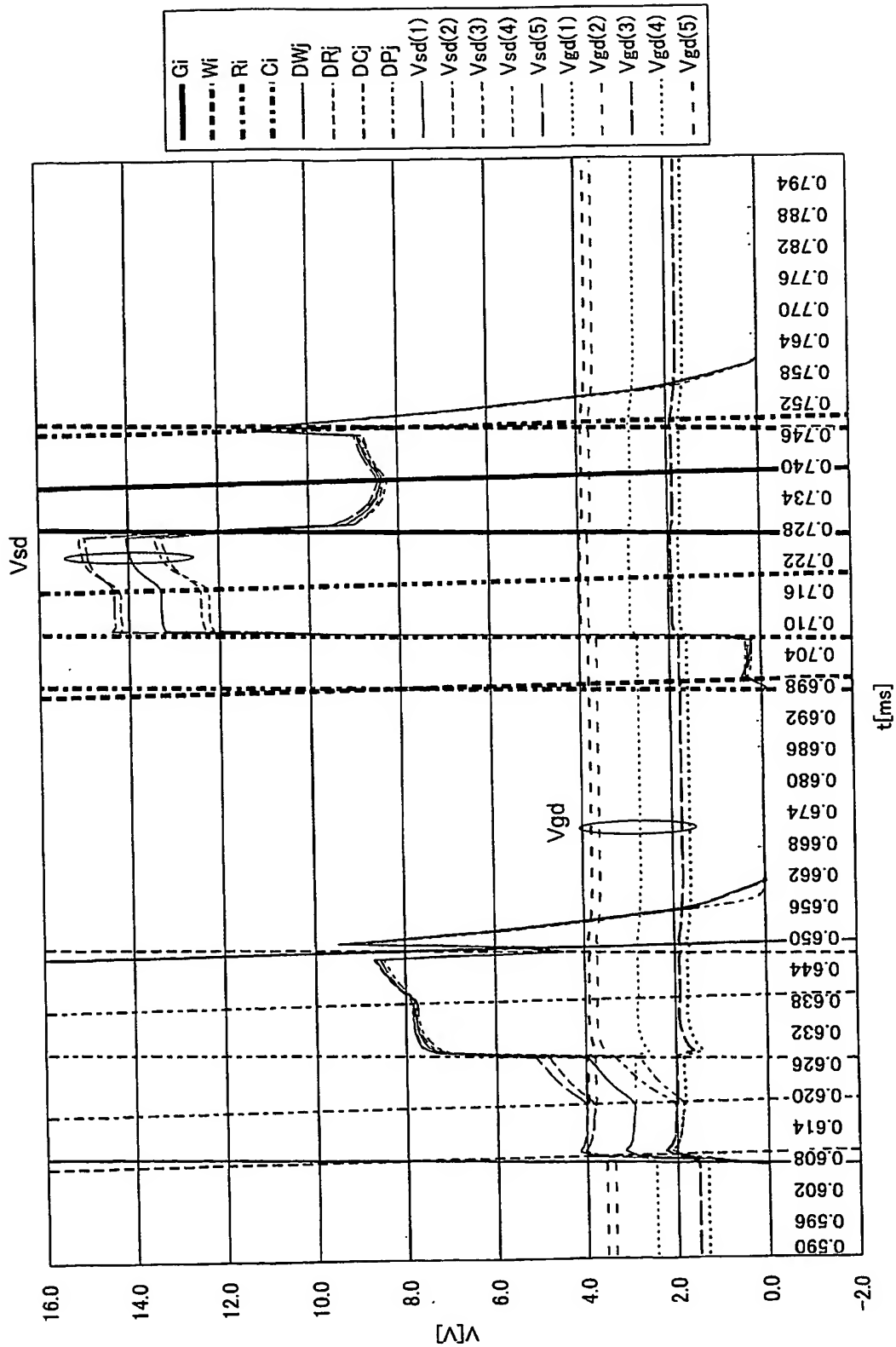
【図 17】



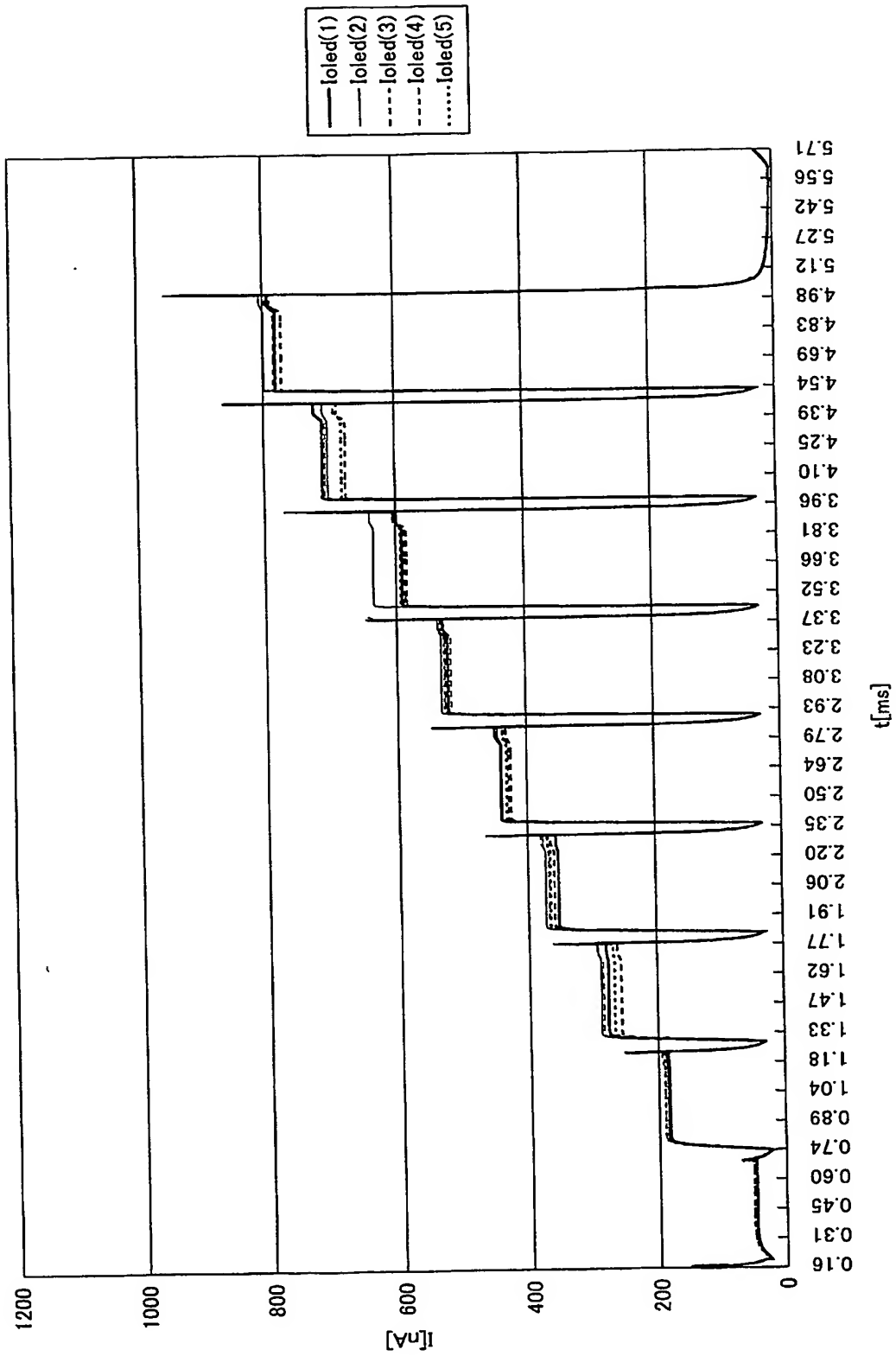
【図 18】



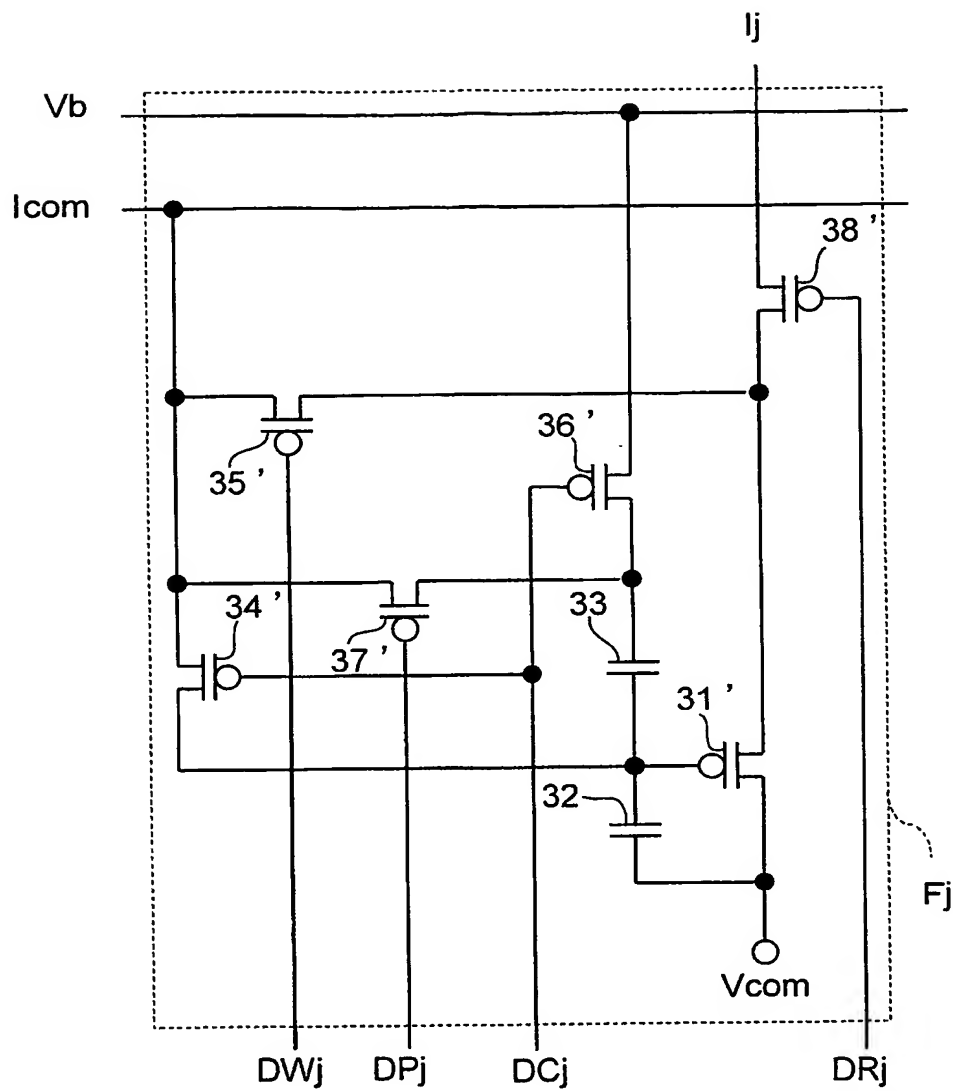
【図 19】



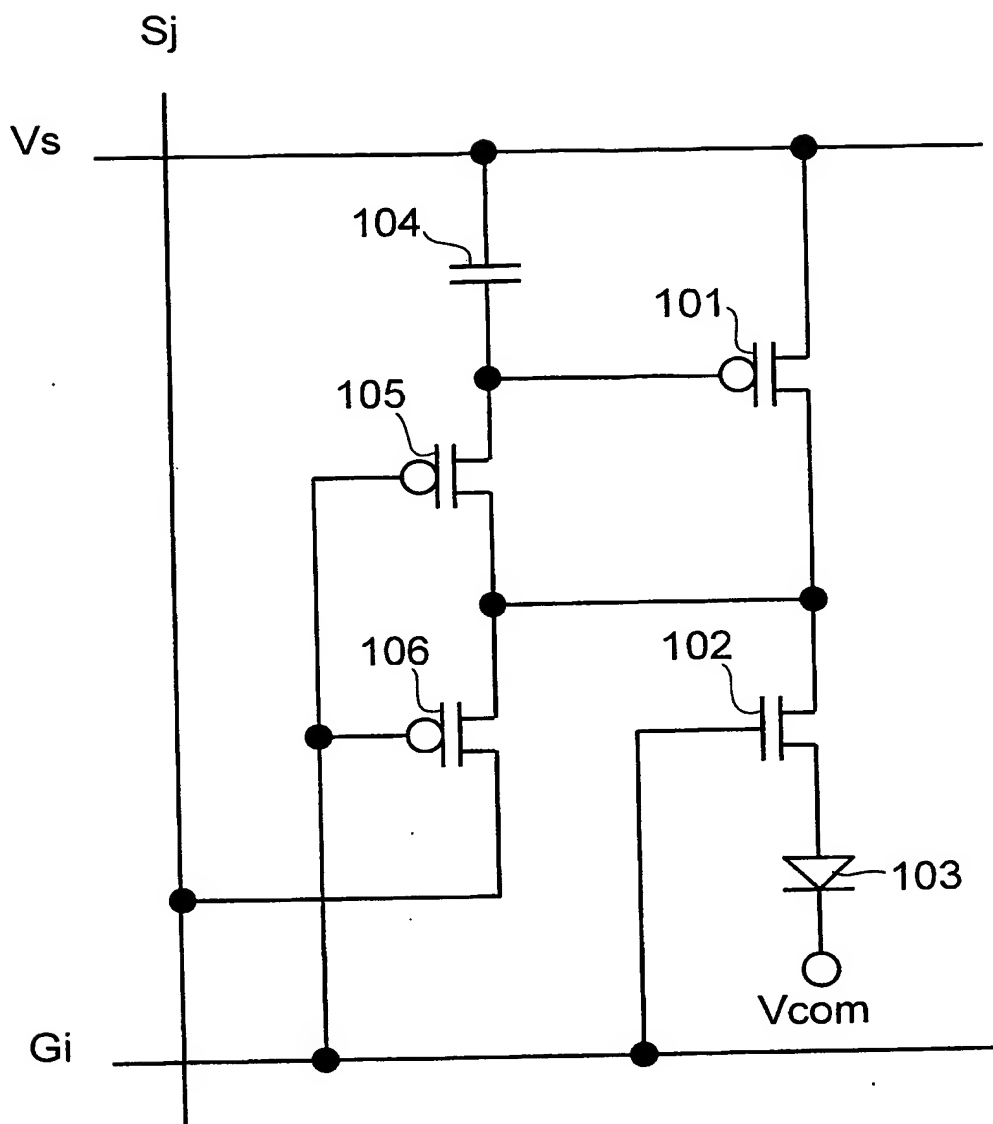
【図 20】



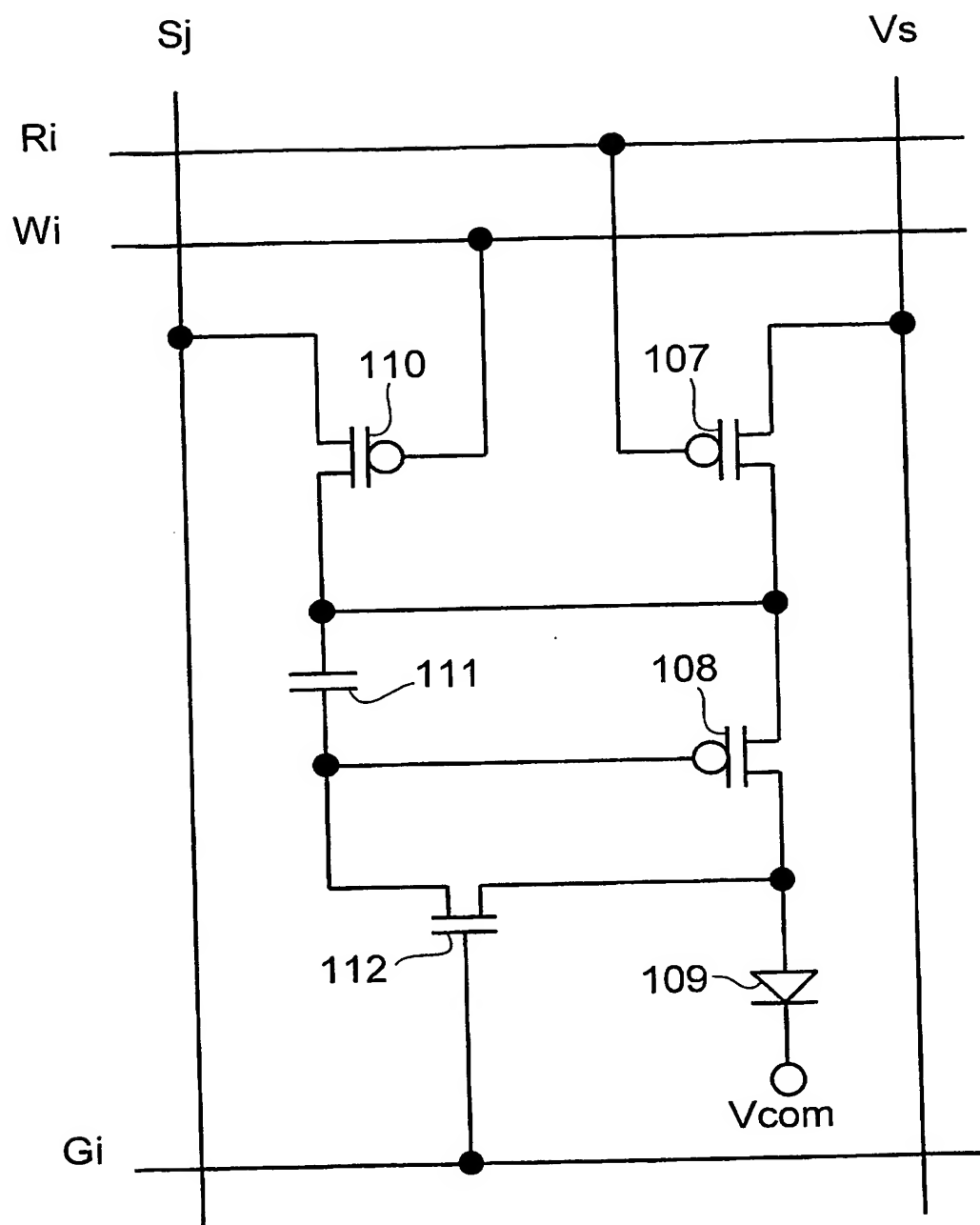
【図 21】



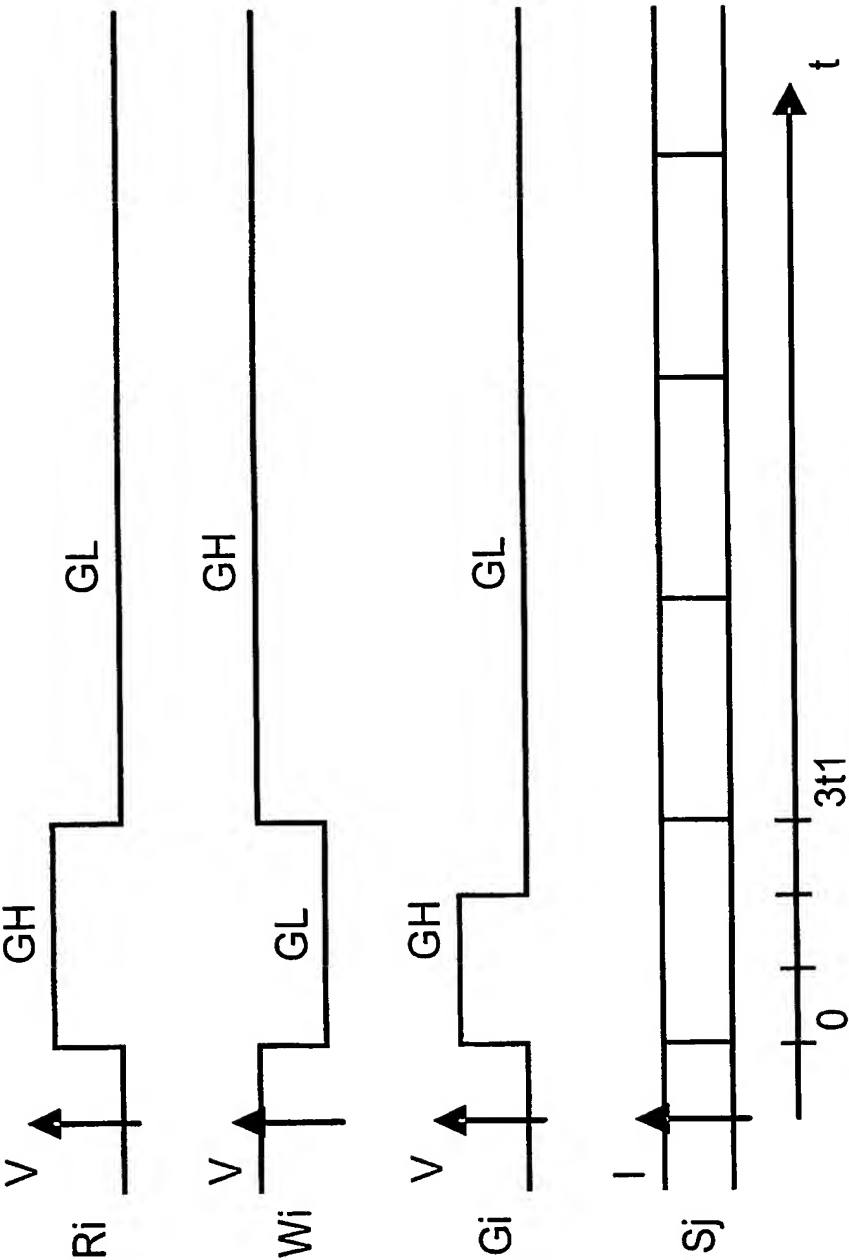
【図 22】



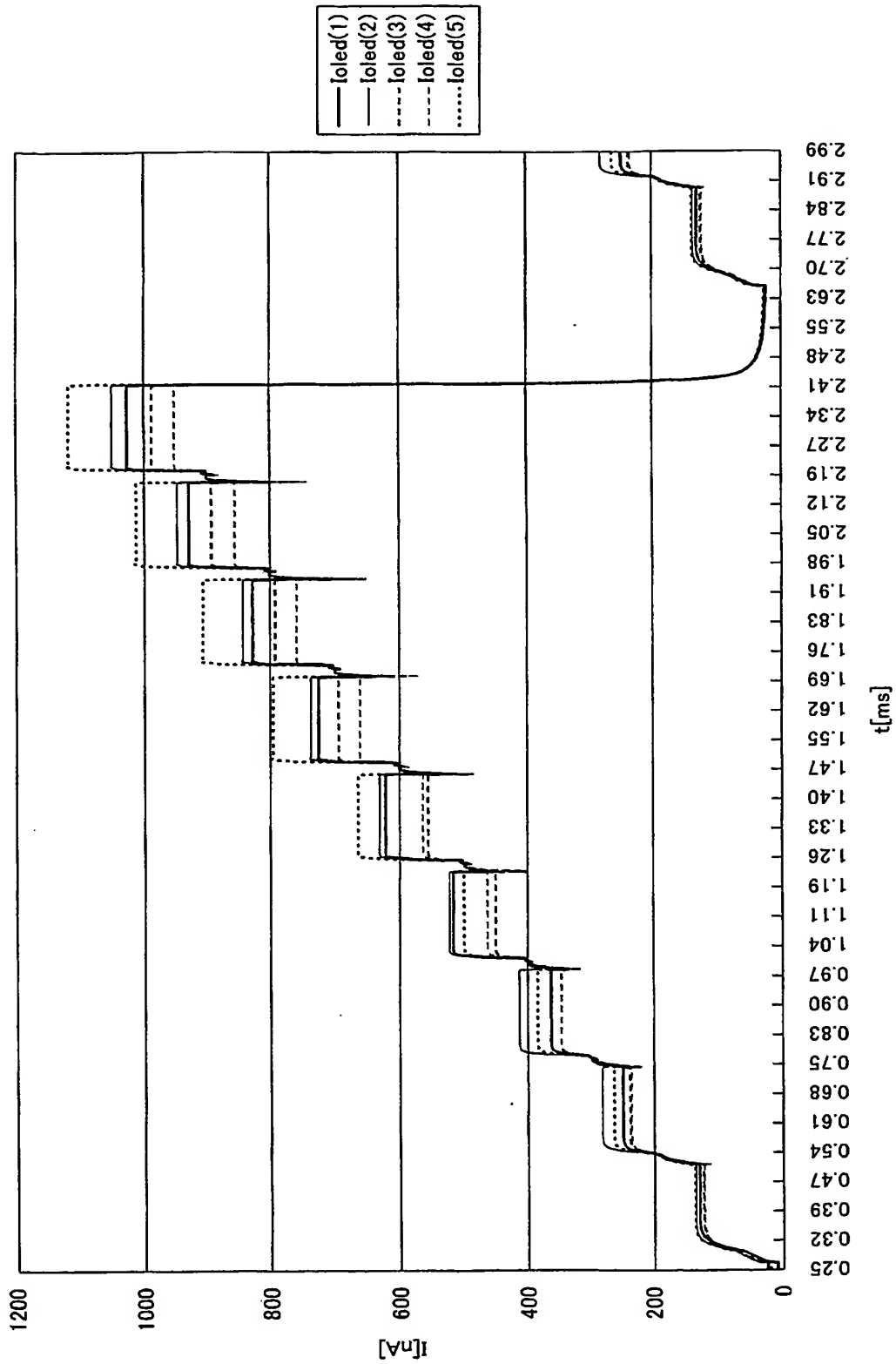
【図 23】



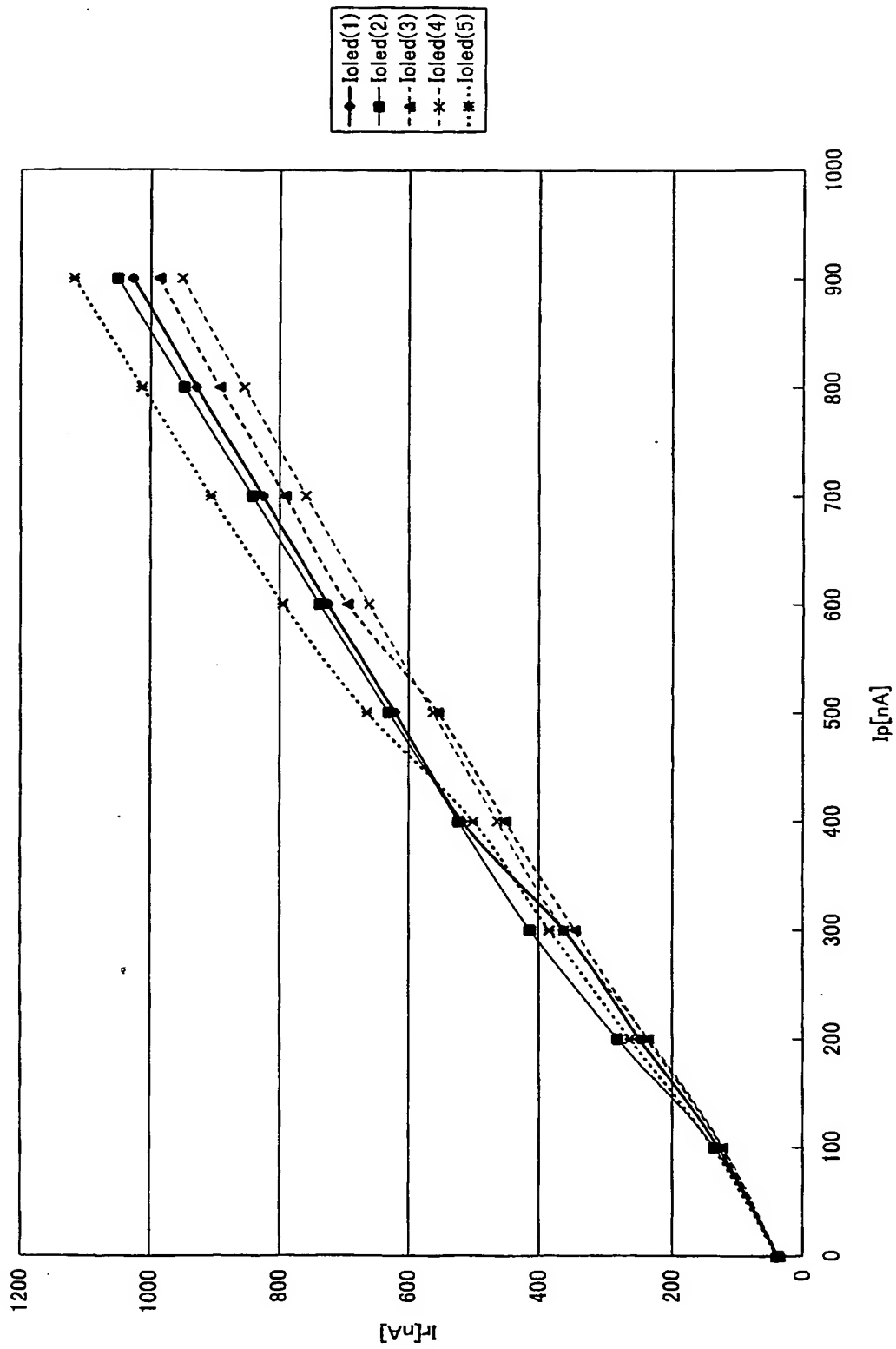
【図 24】



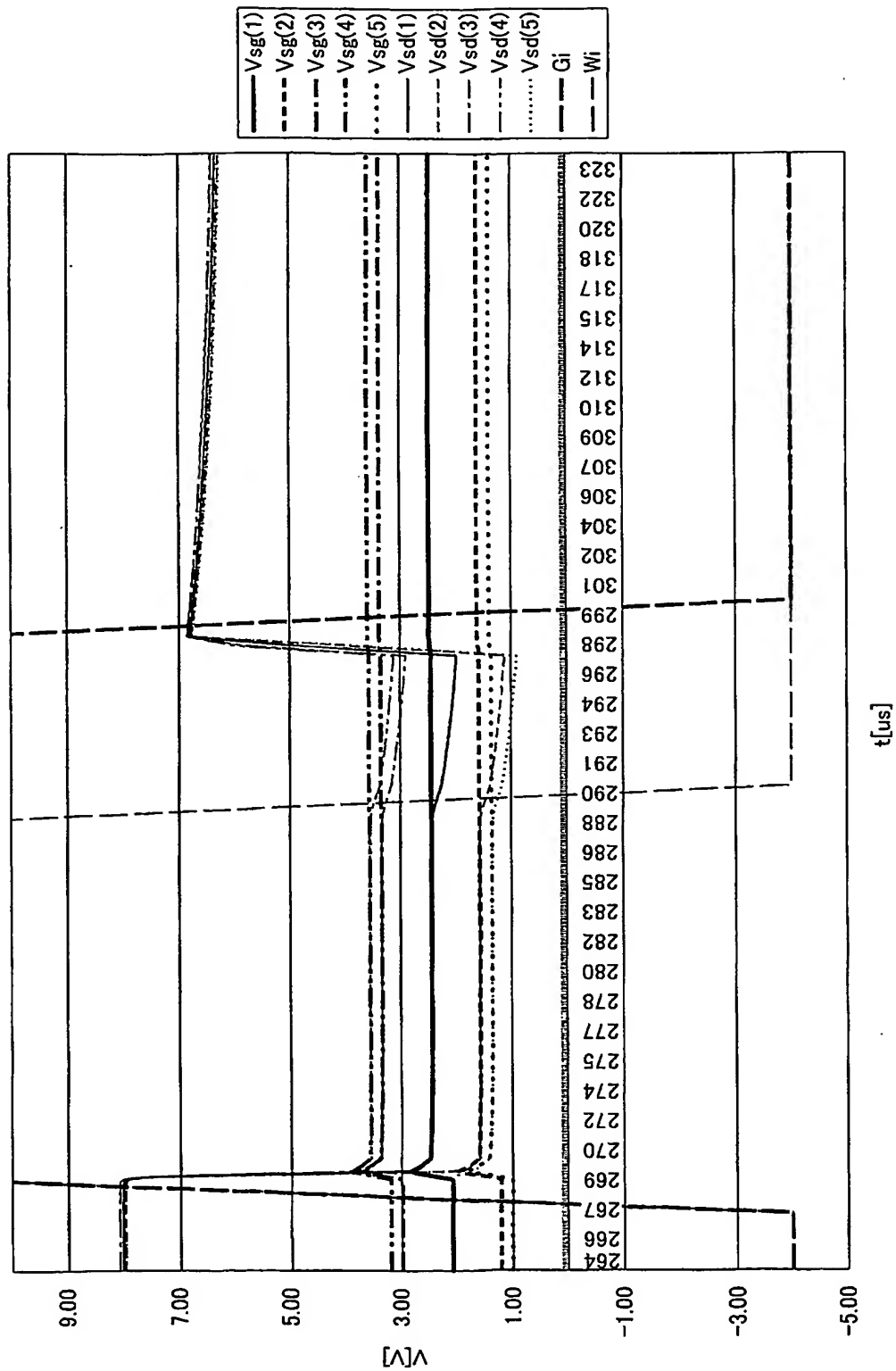
【図 25】



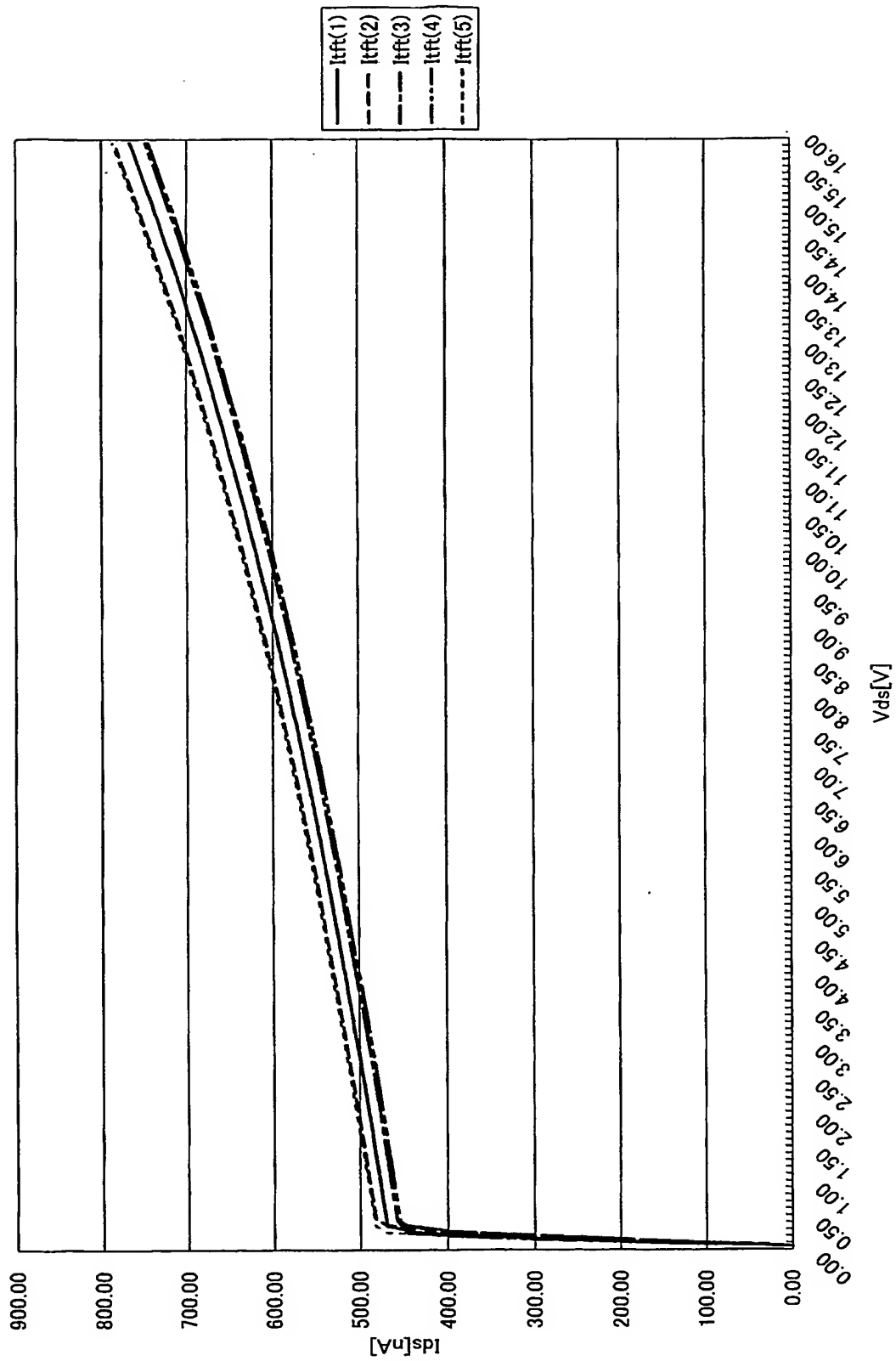
【図 26】



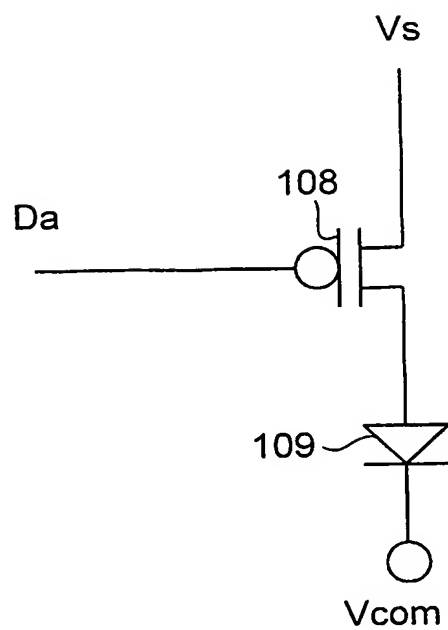
【図 27】



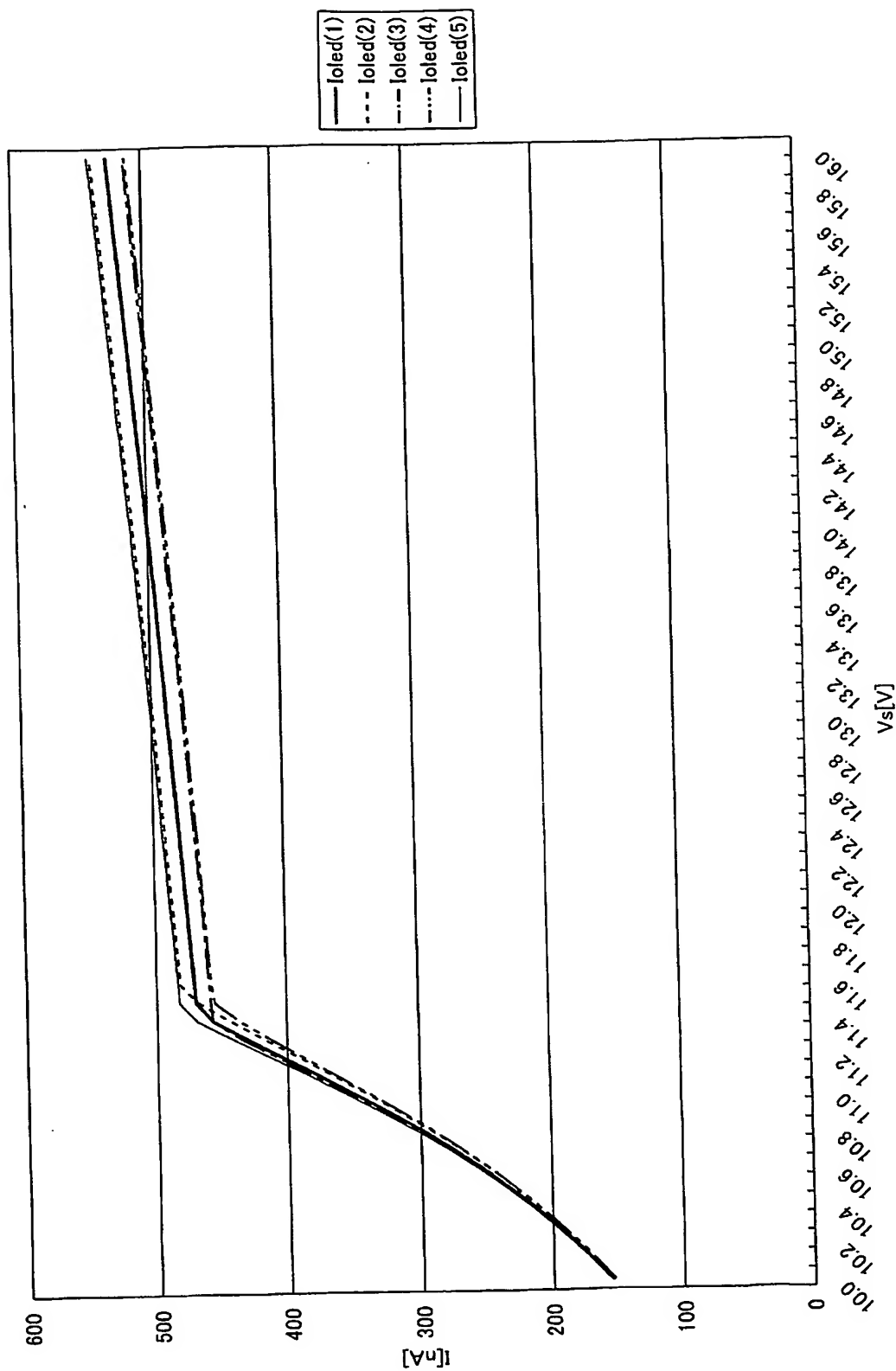
【図 28】



【図 29】



【図 30】



【書類名】 要約書

【要約】

【課題】 有機EL表示装置など、電流駆動発光素子を備えた表示装置において、駆動用TFTの閾値電圧・移動度のばらつきによる、非選択期間の電流駆動発光素子を通る電流値のばらつきを抑える。

【解決手段】 駆動用TFT1のゲート端子とドレイン端子との間にスイッチ用トランジスタ3を接続し、駆動用TFT1のゲート端子とソース端子との間に第1コンデンサ2を接続し、駆動用TFT1の電流制御端子に第2コンデンサ7の第1端子を接続し、第2コンデンサ7の第2端子を、駆動用TFT1のドレイン端子との間にスイッチ用トランジスタ9を介して接続し、かつ定電圧線Vaとの間にスイッチ用トランジスタ8を介して接続する。

【選択図】 図1

特願 2003-092534

出願人履歴情報

識別番号

[000005049]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町22番22号

氏 名

シャープ株式会社